

HC32F448 系列

32 位 ARM[®] Cortex[®]-M4 微控制器

数据手册

Rev1.20
2025 年 3 月

产品特性

ARM Cortex-M4 32-bit MCU+FPU, 250DMIPS, 256KB Flash, 68KB SRAM, 2CAN FD, EXMC, 15Timers, 3ADCs, 2DACs, 4CMPs, 6UARTs, 3SPIs, 2I2Cs, QSPI, AES, HASH (SHA256)

- ARMv7-M 架构 32-bit Cortex-M4 CPU，集成 FPU、MPU，支持 SIMD 指令的 DSP，及 CoreSight 标准调试单元。最高工作主频 200MHz，达到 250DMIPS 或 680Coremarks 的运算性能
- 内置存储器
 - ▶ 最大 256KB 的 Flash memory
 - ▶ 最大 68KB 的单周期访问高速 SRAM
- 电源，时钟，复位管理
 - ▶ 系统电源 (V_{CC})：1.8-3.6V
 - ▶ 7 个独立时钟源：外部主时钟晶振 (4-25MHz) /外部副晶振 (32.768kHz) /内部高速 RC (16/20MHz) /内部中速 RC (8MHz) /内部低速 RC (32kHz) /PLL/内部 WDT 专用 RC (10kHz)
 - ▶ 包括上电复位 (POR)，低电压检测复位 (PVD1R/PVD2R)，端口复位 (NRST) 在内的 15 种复位源，每个复位源有独立标志位
- 低功耗运行
 - ▶ 外设功能可以独立关闭或开启
 - ▶ 三种低功耗模式：Sleep 模式，Stop 模式，Power down 模式
- 外设运行支持系统显著降低 CPU 处理负荷
 - ▶ 12 通道双主机 DMAC
 - ▶ 4 个数据计算单元 (DCU)
 - ▶ 支持外设事件相互触发 (AOS)
- 高性能模拟
 - ▶ 3 个独立 12-bit 2.5Msps ADC
 - ▶ 2 个独立 12-bit DAC
 - ▶ 4 个独立电压比较器 (CMP)
- Timer
 - ▶ 2 个多功能 16-bit PWM Timer (Timer6)
 - ▶ 3 个 16-bit 电机 PWM Timer (Timer4)
 - ▶ 1 个 32-bit 通用 Timer (TimerA)
 - ▶ 4 个 16-bit 通用 Timer (TimerA)
 - ▶ 2 个 16-bit 基础 Timer (Timer0)
 - ▶ 实时时钟 Timer (RTC)
 - ▶ 2 个 WDT，支持内部专用时钟
- 最大 67 个 GPIO
 - ▶ 最大 62 个 5V-tolerant IO
- 最大 14 个通信接口
 - ▶ 6 个 USART，支持 ISO7816-3 协议
 - ▶ 3 个 SPI
 - ▶ 2 个 I2C，支持 SMBus 协议
 - ▶ 1 个 QSPI，支持 100Mbps 高速访问 (XIP)
 - ▶ 2 个 CAN FD 控制器 (MCAN)，兼容 CAN2.0A/B
- 外部存储器控制器 EXMC
 - ▶ 支持静态 Memory 控制器
 - ▶ 支持 LCD 并行接口，兼容 8080/6800 模式
- 数据加密功能
 - ▶ AES/HASH (SHA256) /TRNG
- 封装形式：LQFP80/64/48，QFN48/32

支持型号

HC32F448FAUI-QFN32TR	HC32F448FCUI-QFN32TR
HC32F448JAUJ-ZFN48TR	HC32F448JCUI-ZFN48TR
HC32F448JATI-LQ48	HC32F448JCTI-LQ48
HC32F448KATI-LQFP64	HC32F448KCTI-LQFP64
HC32F448MATI-LQFP80	HC32F448MCTI-LQFP80

说明事项

版权所有©2025 小华半导体有限公司。保留所有权利

本文件及附件包含的信息有关知识产权权益全部属于小华半导体有限公司（以下简称“XHSC”）；客户对本文件及附件包含的信息只享有内部使用权，未经 XHSC 书面允许，任何单位和个人不得擅自摘抄、复制、改动或以其他任何形式使用本文件的部分或全部内容，并不得以任何形式进行传播。

商标声明

 小华半导体有限公司  小华半导体和其他商标均为 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。

注意事项

- XHSC 保留随时更改、更正、增强、修改产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- 本通知中的信息取代并替换先前版本中的信息。

小华半导体有限公司

地址：	上海市浦东新区中科路 1867 号 A 座 4 楼
网址：	https://www.xhsc.com.cn
邮箱：	XHSC_MCU@xhsc.com.cn
电话：	021-38880888-887

前言

数据格式

- 0x 前缀表示十六进制数据
- 0b 前缀表示二进制数据
- 数字没有前缀表示十进制数据

安全声明

由于使用某个功能或者协议，可能会存在潜在的安全问题，需要进行声明，提醒用户慎用，规避安全风险。

目录

产品特性.....	ii
前言.....	iv
1 产品概述.....	1
1.1 产品阵容.....	1
1.2 功能框图.....	4
2 功能描述.....	5
2.1 CPU.....	5
2.2 总线架构 (BUS)	5
2.3 复位控制 (RMU)	5
2.4 时钟控制 (CMU)	6
2.5 电源控制 (PWC)	6
2.6 初始化配置 (ICG)	6
2.7 嵌入式 Flash (EFM)	7
2.8 内置 SRAM (SRAM)	7
2.9 通用 IO (GPIO)	7
2.10 中断控制 (INTC)	7
2.11 自动运行系统 (AOS)	8
2.12 存储保护单元 (MPU)	8
2.13 键盘扫描 (KEYSCAN)	8
2.14 内部时钟校准器 (CTC)	8
2.15 DMA 控制器 (DMA)	8
2.16 电压比较器 (CMP)	9
2.17 模数转换器 (ADC)	9
2.18 数模转换器 (DAC)	10
2.19 高级控制定时器 (Timer6)	10
2.20 通用控制定时器 (Timer4)	11
2.21 紧急刹车模块 (EMB)	11
2.22 通用定时器 (TimerA)	11
2.23 通用定时器 (Timer0)	11
2.24 实时时钟 (RTC)	11
2.25 看门狗计数器 (WDT/SWDT)	11
2.26 串行通信接口 (USART)	11
2.27 集成电路总线 (I2C)	12
2.28 串行外设接口 (SPI)	12
2.29 四线式串行外设接口 (QSPI)	13
2.30 外部存储器控制器 (EXMC)	13
2.31 控制器局域网 (MCAN)	14
2.32 加密协处理模块 (CPM)	14
2.33 数据计算单元 (DCU)	14
2.34 CRC 计算单元 (CRC)	14
2.35 调试控制器 (DBG)	14
3 引脚配置及功能.....	15
3.1 引脚配置图.....	15
3.1.1 LQFP80 封装.....	15
3.1.2 LQFP64 封装.....	16
3.1.3 LQFP48 封装.....	17
3.1.4 QFN48 封装.....	18
3.1.5 QFN32 封装.....	19
3.2 引脚功能表.....	20

3.3	引脚功能说明.....	26
3.4	引脚使用说明.....	30
4	电气特性.....	31
4.1	参数条件.....	31
4.1.1	最小值和最大值.....	31
4.1.2	典型数值.....	31
4.1.3	典型曲线.....	31
4.1.4	负载电容.....	31
4.1.5	引脚输入电压.....	31
4.1.6	电源方案.....	32
4.1.7	电流消耗测量.....	32
4.2	绝对最大额定值.....	33
4.3	工作条件.....	34
4.3.1	通用工作条件.....	34
4.3.2	上电和掉电时的工作条件.....	34
4.3.3	复位和电源控制模块特性.....	35
4.3.4	供电电流特性.....	36
4.3.5	低功耗模式唤醒时序.....	41
4.3.6	外部时钟源特性.....	41
4.3.7	内部时钟源特性.....	44
4.3.8	PLL 特性.....	45
4.3.9	存储器（闪存）特性.....	45
4.3.10	电气敏感性.....	46
4.3.11	I/O 端口特性.....	47
4.3.12	I2C 接口特性.....	50
4.3.13	SPI 接口特性.....	51
4.3.14	QSPI 接口特性.....	54
4.3.15	MCAN 接口特性.....	54
4.3.16	USART 接口特性.....	54
4.3.17	JTAG 接口特性.....	56
4.3.18	SWD 接口特性.....	57
4.3.19	TRACE 接口特性.....	57
4.3.20	12 位 ADC 特性.....	59
4.3.21	12 位 DAC 特性.....	62
4.3.22	比较器特性.....	64
4.3.23	EXMC 特性.....	64
4.3.24	EIRQ 滤波特性.....	67
4.3.25	USART1 STOP 模式下 RX 滤波特性.....	67
5	封装信息.....	68
5.1	封装尺寸.....	68
5.1.1	LQFP80 封装.....	68
5.1.2	LQFP64 封装.....	70
5.1.3	LQFP48 封装.....	72
5.1.4	QFN48 封装.....	74
5.1.5	QFN32 封装.....	76
5.2	焊盘示意图.....	78
5.2.1	LQFP80 封装（12mm x 12mm）.....	78
5.2.2	LQFP64 封装（10mm x 10mm）.....	79
5.2.3	LQFP48 封装（7mm x 7mm）.....	80
5.2.4	QFN48 封装（5mm x 5mm）.....	81
5.2.5	QFN32 封装（4mm x 4mm）.....	82

5.3 丝印说明.....	83
5.4 封装热阻系数.....	84
6 订购信息.....	85
版本记录.....	86

1 产品概述

1.1 产品阵容

产品名称

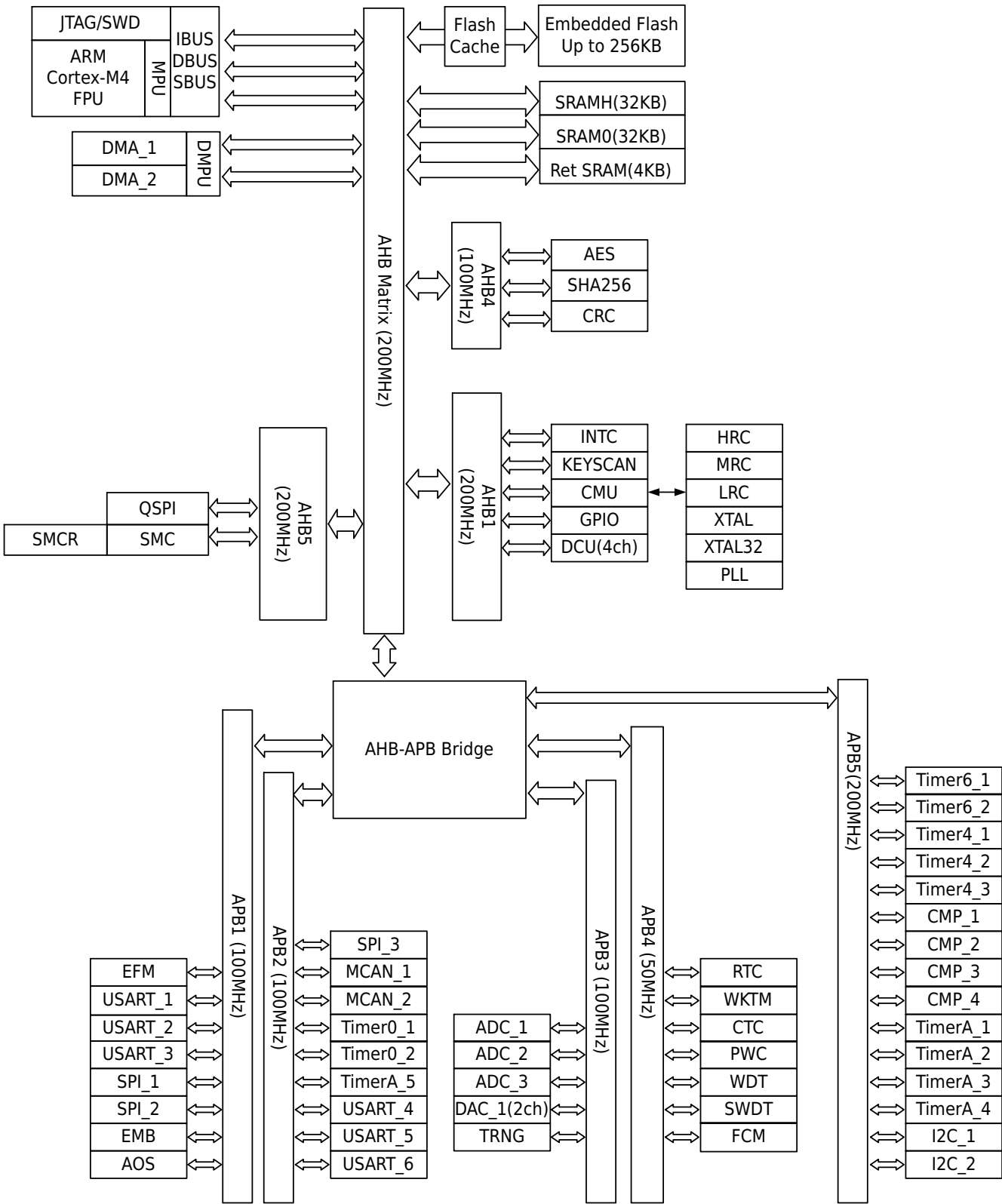
	HC	32	F	4	4	8	F	C	U	I
小华半导体										
MCU家族										
32: 32-bit										
产品类型										
F: 通用										
MCU平台										
4: Cortex-M4										
MCU规格档次										
4: 主流										
功能配置流水号										
8: 配置8										
管脚数量										
M: 80 Pin										
K: 64 Pin										
J: 48 Pin										
F: 32 Pin										
程序容量										
A: 128 KB										
C: 256 KB										
封装类型										
T: LQFP										
U: QFN/ZFN										
温度质量范围										
I: -40~105 °C										

型号功能对比表

产品名称		HC32F448FAUI	HC32F448FCUI	HC32F448JAUI	HC32F448JCUI	HC32F448JATI	HC32F448JCTI	HC32F448KATI	HC32F448KCTI	HC32F448MATI	HC32F448MCTI
引脚数		32	32	48	48	48	48	64	64	80	80
GPIO 数		25	25	38	38	38	38	52	52	67	67
5V Tolerant GPIO 数		24	24	36	36	36	36	47	47	62	62
CPU	内核	Cortex-M4									
	频率	200MHz									
存储空间	Flash	128KB	256KB	128KB	256KB	128KB	256KB	128KB	256KB	128KB	256KB
	OTP	9KB									
	SRAM	68KB									
时钟	内部高速时钟	HRC 16/20MHz									
	内部中速时钟	MRC 8MHz									
	内部低速时钟	LRC 32.768kHz									
	外部高速晶振	XTAL 4~25MHz									
	外部低速晶振	XTAL32 32.768kHz									
	SWDT 专用内部低速振荡器	SWDTLRC 10kHz									
电源电压范围		1.8~3.6V									
温度范围		-40~105℃									
外部端口中断		EIRQ * 13			EIRQ * 16						
DMA 控制器		2unit * 6ch									
定时器和计数器	Timer0	2unit									
	TimerA	5unit									
	Timer4	3unit									
	Timer6	2unit									
	RTC	1ch									
	WDT	1ch									
	SWDT	1ch									
通信接口	USART	6ch									
	I2C	2ch									
	SPI	3ch									
	QSPI	1ch									

产品名称		HC32F448FAUI	HC32F448FCUI	HC32F448JAUI	HC32F448JCUI	HC32F448JATI	HC32F448JCTI	HC32F448KATI	HC32F448KCTI	HC32F448MATI	HC32F448MCTI
通信接口	CAN FD	2ch									
	EXMC	不支持	不支持	不支持	不支持	不支持	不支持	√	√	√	√
模拟	12-bit ADC	3unit, 4ch	3unit, 4ch	3unit, 11ch	3unit, 11ch	3unit, 11ch	3unit, 11ch	3unit, 17ch	3unit, 17ch	3unit, 24ch	3unit, 24ch
	12-bit DAC	1ch	1ch	2ch	2ch	2ch	2ch	2ch	2ch	2ch	2ch
	CMP	4ch									
	PVD	√									
安全	AES256	√									
	TRNG	√									
	HASH	SHA256									
协处理	DCU	√									
频率监测 FCM		√									
调试接口	SWD	√									
	JTAG	√									
封装类型		QFN	QFN	QFN	QFN	LQFP	LQFP	LQFP	LQFP	LQFP	LQFP

1.2 功能框图



说明

不同封装的产品支持的资源数量有差异，详细支持情况请参见 [型号功能对比表](#)。

2 功能描述

2.1 CPU

HC32F448 系列集成了嵌入式 ARM® Cortex®-M4 with FPU 32-bit 精简指令 CPU，实现了管脚少功耗低的同时，提供出色的运算性能和迅速的中断反应能力。片上集成的存储容量可以充分发挥出 ARM® Cortex®-M4 出色的指令效率。CPU 支持 DSP 指令，可以实现高效信号处理运算和复杂算法。单点精度 FPU（Floating Point Unit）单元可以避免指令饱和，加快软件开发。

2.2 总线架构（BUS）

主系统由 32 位多层 AHB 总线矩阵构成，可实现以下主机总线和从机总线的互连：

- 主机总线
 - ▶ Cortex-M4 内核 CPU-I 总线，CPU-D 总线，CPU-S 总线
 - ▶ 系统 DMA_1 总线，系统 DMA_2 总线
- 从机总线
 - ▶ Flash ICODE 总线
 - ▶ Flash DCODE 总线
 - ▶ Flash MCODE 总线（CPU 以外其他主机访问 Flash 的总线）
 - ▶ 高速 SRAMH（SRAMH 32KB）总线
 - ▶ 系统 SRAM（SRAM0 32KB）总线
 - ▶ 系统 SRAM（Ret SRAM 4KB）总线
 - ▶ APB1 外设总线（EMB/SPI/USART/EFM/AOS）
 - ▶ APB2 外设总线（TimerA/Timer0/SPI/USART/MCAN）
 - ▶ APB3 外设总线（ADC/DAC/TRNG）
 - ▶ APB4 外设总线（FCM/WDT/SWDT/PWC/CTC/RTC/WKTM）
 - ▶ APB5 外设总线（Timer4/TimerA/Timer6/CMP/I2C）
 - ▶ AHB1 外设总线（DCU/CMU/GPIO/DMA/INTC/KEYSCAN/DMPU）
 - ▶ AHB4 外设总线（AES/HASH/CRC）
 - ▶ AHB5 外设总线（SMC/SMCR/QSPI）

借助总线矩阵，可以实现主机总线到从机总线高效率的并发访问。

2.3 复位控制（RMU）

芯片配置了 15 种复位方式：

- 上电复位（POR）
- NRST 引脚复位（NRST）
- 欠压复位（BOR）
- 可编程电压检测 1 复位（PVD1R）
- 可编程电压检测 2 复位（PVD2R）
- 看门狗复位（WDTR）
- 专用看门狗复位（SWDTR）
- 掉电唤醒复位（PDRST）
- 软件复位（SRST）

- MPU 错误复位 (MPUR)
- RAM 奇偶校验复位 (RAMPR)
- RAMECC 复位 (RAMECCR)
- 时钟异常复位 (CKFER)
- 外部高速振荡器异常停振复位 (XTALER)
- Cortex-M4 Lockup 复位 (LKUPR)

2.4 时钟控制 (CMU)

时钟控制单元提供了一系列频率的时钟功能，包括：一个外部高速振荡器、一个外部低速振荡器、一个 PLL 时钟、一个内部高速振荡器、一个内部中速振荡器、一个内部低速振荡器、一个 SWDT 专用内部低速振荡器、时钟预分频器、时钟多路复用和时钟门控电路。

时钟控制单元还提供时钟频率测量功能。时钟频率测量电路 (FCM) 使用测定基准时钟对测定对象时钟进行监视测定。在超出设定范围时发生中断或者复位。

AHB、APB 和 Cortex-M4 时钟都源自系统时钟。系统时钟的最大运行时钟频率可以达到 200MHz，有 6 个可选择的时钟源：

1. 外部高速振荡器 (XTAL)
2. 外部低速振荡器 (XTAL32)
3. PLLH 时钟 (PLLH)
4. 内部高速振荡器 (HRC)
5. 内部中速振荡器 (MRC)
6. 内部低速振荡器 (LRC)

对于每一个时钟源，在未使用时都可以单独打开和关闭，以降低功耗。SWDT 有独立的时钟源：SWDT 专用内部低速振荡器 (SWDTLRC)。实时时钟 (RTC) 使用外部低速振荡器、内部低速振荡器或者 XTAL 小数分频时钟作为时钟源。

2.5 电源控制 (PWC)

电源控制器用来控制芯片的多个电源域在多个运行模式和低功耗模式下的电源供给、切换、检测。电源控制器由功耗控制逻辑 (PWC)、电源电压检测单元 (PVD) 构成。

芯片的工作电压 (VCC) 为 1.8V 到 3.6V。电压调节器 (LDO) 为 VDD 域和 VDDR 域供电，VDDR 电压调压器 (RLDO) 在掉电模式为 VDDR 域供电。芯片通过功耗控制逻辑 (PWC) 提供了高速、超低速两种运行模式，睡眠、停止和掉电等三种低功耗模式。

电源电压检测单元 (PVD) 提供了上电复位 (POR)、掉电复位 (PDR)、欠压复位 (BOR)、可编程电压检测 1 (PVD1)、可编程电压检测 2 (PVD2) 等功能，其中 POR、PDR、BOR 通过检测 VCC 电压，控制芯片复位动作。PVD1 通过检测 VCC 电压，根据寄存器设定使芯片产生复位或者中断。PVD2 通过检测 VCC 电压或者外部输入检测电压，根据寄存器选择产生复位或者中断。

VDDR 区域在芯片进入掉电模式通过 RLDO 维持电源，保持 4KB 的 Ret SRAM 的数据。

模拟模块配备了专用供电引脚，提高了模拟性能。

2.6 初始化配置 (ICG)

芯片复位解除后，硬件电路会读取 FLASH 地址 0x00000400~0x0000045F 把数据加载到初始化配置寄存器。地址 0x00000408~0x0000040B，0x00000410~0x0000041F，0x00000438~0x0000045F 为保留地址，请写入全 1 保证芯片正常动作。Flash 引导交换无效时，该区域位于 FLASH 块 0 扇区 0；Flash 引导交换有效，并且 Flash 块 0 扇区 0 的 OTP 没有锁存 (0x03000A80~0x03000A83 数据全 1) 时，该区域位于 Flash 块 0 扇区 1；否则该区域存在 FLASH 块 0 扇区 0。用户可通过编程或擦除扇区 0 来修改初始化配置 (ICG) 寄存器。地址 0x00000420~0x00000437 为数据安全保护使能区。寄存器复位值由 FLASH 数据确定。

2.7 嵌入式 Flash (EFM)

Flash 接口通过 ICODE, DCODE 和 MCODE 总线对 Flash 进行访问。该接口可对 Flash 执行编程, 擦除和全擦除操作; 通过指令预取和缓存机制加速代码执行。

主要特性:

- 最大 9KBytes 的 OTP 空间
- ICODE 总线 16Bytes 预取指
- 两个独立缓存区: ICODE 总线缓存空间 1KBytes; DCODE 总线缓存空间 128Bytes
- 支持引导交换功能
- 支持数据安全保护

2.8 内置 SRAM (SRAM)

本产品带有 64KB 系统 SRAM (SRAMH/SRAM0) 和 4KB 掉电模式保持 SRAM (Ret SRAM)。

各 SRAM 可按照字节、半字 (16 位) 或全字 (32 位) 访问。所有 SRAM 读写操作最快可以在 CPU 最高速度 (200MHz) 下执行。

Ret SRAM 可在 Power down 模式下提供 4KB 的数据保持空间。

SRAM0 和 Ret SRAM 带有 ECC 校验 (Error Checking and Correcting), ECC 校验为纠一检二码, 即可以纠正一位错误, 检查两位错误。SRAMH 带有奇偶校验 (Even-parity check), 每字节数据带有一位校验位。

2.9 通用 IO (GPIO)

GPIO 主要特性:

- 每组 Port 配有 16 个 I/O Pin, 根据实际配置可能不足 16 个
- 支持上拉与下拉输入
- 支持推挽, 开漏输出模式
- 支持高、中、低型驱动模式
- 支持 CMOS/Schmitt 两种输入模式自由切换
- 支持外部中断的输入
- 支持 I/O pin 周边功能复用, 一个 I/O pin 最多可具有 41 个可选的复用功能
- 各个 I/O pin 可独立编程
- 各个 I/O pin 可以选择 2 个功能同时有效 (不支持 2 个输出功能同时有效)

2.10 中断控制 (INTC)

中断控制器 (INTC) 选择中断事件作为中断请求送到 NVIC 唤醒 WFI; 选择中断事件作为事件输入 (RXEV) 唤醒 WFE; 选择中断事件唤醒系统低功耗模式 (休眠模式和停止模式); 控制外部中断和软件中断。

主要规格:

1. NVIC 中断请求: INTC 配备了 257 个中断事件, 处理后作为中断请求 (IRQ) 发送给 NVIC, 支持 130 个 IRQ, 每个 IRQ 可以根据中断选择寄存器选择对应的中断事件。



说明

更多关于异常和 NVIC 编程的说明, 请参考《Arm Cortex-M4 Processor Technical Reference Manual》。

2. 可编程优先级: 16 个可编程优先级 (使用了 4 位中断优先级)。
3. 不可屏蔽中断: 可以独立选择多种系统中断事件请求作为不可屏蔽中断, 且各中断事件请求配备独立的使能选择、挂起、清除挂起寄存器。
4. 配备 16 个外部管脚中断事件。
5. 配备多个中断事件, 详细信息请参见《参考手册》“中断控制器 (INTC) - 向量表-中断事件表”。

6. 配备 32 个软件中断事件。
7. 中断可唤醒系统休眠模式和停止模式。

2.11 自动运行系统 (AOS)

自动运行系统 (Automatic Operation System) 用于在不借助 CPU 的情况下实现外设之间的联动。利用外设产生的事件作为 AOS 源 (AOS Source)，如定时器的比较匹配、定时器的计数溢出、RTC 的周期信号、通信模块的收发数据的各种状态 (空闲、接收数据满、发送数据结束、发送数据空)、ADC 的转换结束等事件，来触发其他外设动作。被触发的外设动作称为 AOS 目标 (AOS Target)。

AOS 中还配备了 4 个可编程逻辑运算单元 (PLU)，用于 PORT 和 AOS 源的逻辑运算。用户可以根据需求选择一个或多个 AOS 源来触发同一个 AOS 目标。

2.12 存储保护单元 (MPU)

MPU 可以提供对存储器的保护，通过阻止非授权的访问，可以提高系统的安全性。

本芯片内置了 1 个针对 CPU 的 MPU 单元，1 个针对 CPU 主栈指针的 MPU 单元，1 个针对 CPU 线程栈指针的 MPU 单元，2 个针对 DMA 的 MPU 单元和 1 个针对 IP 的 MPU 单元。

其中 ARM MPU 提供 CPU 对全部 4G 地址空间的访问权限控制。

MSPMPU/PSPMPU 分别提供对 CPU 的主栈指针/线程栈指针的保护，指针超出设定范围时，可以设置 MPU 动作为不可屏蔽中断/复位。

SMPU1/SMPU2 分别提供系统 DMA_1/系统 DMA_2 对全部 4G 地址空间的读写访问权限控制。对禁止空间发生访问时，可以设置 MPU 动作为无视/总线错误/不可屏蔽中断/复位。

IPMPU 提供非特权模式时对系统 IP 和安全相关 IP 的访问权限控制。

2.13 键盘扫描 (KEYSCAN)

本产品搭载键盘扫描控制模块 (KEYSCAN) 1 个单元。KEYSCAN 模块支持键盘阵列 (行和列) 扫描，列是由独立的扫描输出 KEYOUT_m (m=0~7) 驱动，而行 KEYIN_n (n=0~15) 则作为 EIRQ_n (n=0~15) 输入被检测。本模块通过行扫描查询法实现按键识别功能。

2.14 内部时钟校准器 (CTC)

内部时钟校准器 (Clock Trimming Controller, 以下称 CTC) 可以自动校准内部高速振荡器 (HRC)。由于工作环境的影响 HRC 的频率可能会产生偏差，用 CTC 基于外部高精度参考时钟，采用硬件方式自动调整 HRC 的频率以得到一个精准的 HRC 时钟。

CTC 的主要特性如下：

- 三个外部参考时钟源：XTAL、XTAL32、CTCREF
- 用于频率测量并具有重载功能的 16 位校准计数器
- 用于频率校准的 8 位校准偏差值和 6 位校准值
- 用于提示校准失败的错误中断

2.15 DMA 控制器 (DMA)

DMA 用于在存储器和外围功能模块之间传送数据，能够在 CPU 不参与的情况下实现存储器之间，存储器和外围功能模块之间以及外围功能模块之间的数据交换。

- DMA 总线独立于 CPU 总线，按照 AMBA AHB-Lite 总线协议传输
- 拥有 2 个 DMA 控制单元，共 12 个独立通道，可以独立操作不同的 DMA 传输功能
- 每个通道的启动源通过独立的触发源选择寄存器配置
- 每次请求传输一个数据块
- 数据块最小为 1 个数据，最多可以是 1024 个数据
- 每个数据的宽度可配置为 8-bit、16-bit 或 32-bit

- 可以配置 1~65535 次传输或无限次传输
- 源地址和目标地址可以独立配置为固定、自增、自减、重复跳转或指定偏移量的跳转
- 可产生 3 种中断：块传输完成中断、传输完成中断和传输错误中断。每种中断都可以配置是否屏蔽。其中块传输完成、传输完成可作为事件输出，可作为其他外围模块的触发源
- 支持连锁传输功能，可实现一次请求传输多个数据块
- 支持外部事件触发通道重置
- 不使用时可设置进入模块停止状态以降低功耗
- DMA 访问时 AHB 总线中的 HPROT 值可通过寄存器设置

2.16 电压比较器 (CMP)

电压比较器 (Comparator, 以下简称 CMP) 是将两个模拟电压进行比较并且输出比较结果的外设模块。本产品搭载两组共 4 个比较通道：CMP1 和 CMP2、CMP3 和 CMP4。

CMP 主要特性：

- 4 个比较通道可独立进行普通比较
- 同组的两个比较通道组合使用可实现最多 2 个窗口比较
- 每个比较通道的正/负端电压均有多个输入源 (IO、DAC) 供选择
- 噪声滤波器可以对比较器输出滤波，7 种采样时钟可选
- 可使用定时器 PWM 进行比较器空白窗口控制
- 可在比较结果的变化边沿产生中断、触发其他外设以及唤醒 STOP 模式
- 比较结果可通过寄存器监视，也可输出到外部管脚 VCOUT
- 比较结果可用于紧急刹车 (EMB) 控制事件

2.17 模数转换器 (ADC)

12 位 ADC 是一种采用逐次逼近方式的模拟数字转换器。本 MCU 搭载 3 个 ADC 单元，单元 1 最大支持 16 个通道，单元 2 最大支持 8 个通道，单元 3 最大支持 12 个通道，可以转换来自外部引脚和芯片内部的模拟信号。模拟输入通道可以任意组合成一个序列，一个序列可以进行单次扫描转换，或连续扫描转换。支持对任意指定通道进行连续多次转换并对转换结果进行平均。ADC 模块还搭载模拟看门狗功能，对任意指定通道的转换结果进行监视，检测其是否超出用户设定的范围。

ADC 主要特性如下：

- 高性能
 - ▶ 可配置 12 位、10 位和 8 位分辨率
 - ▶ ADC 数字接口时钟 PCLK4 和转换时钟 PCLK2 (也称作 ADCLK) 的频率比可设置为 1:1、2:1、4:1、8:1、1:2、1:4
PCLK2 可选与系统时钟 HCLK 异步的 PLL 时钟，此时频率比 PCLK4:PCLK2=1:1
PCLK2 频率最高支持 60MHz
 - ▶ 采样率：2.5Msps (PCLK2=60MHz，12 位，采样 11 周期，变换 13 周期)
 - ▶ 各通道采样时间独立编程
 - ▶ 各通道独立数据寄存器
 - ▶ 数据寄存器可配置左/右对齐方式
 - ▶ 连续多次转换平均功能
 - ▶ 过采样功能
 - ▶ 模拟看门狗，监视转换结果
 - ▶ 不使用时可以将 ADC 模块设定成停止状态

- 模拟输入通道
 - ▶ 最大 24 个外部模拟输入
 - ▶ 1 个内部模拟信号：内部基准电压
- 转换开始条件
 - ▶ 软件设置转换开始
 - ▶ 周边外设同步触发转换开始
 - ▶ 外部引脚触发转换开始
- 转换模式
 - ▶ 2 个扫描序列 A、B，可任意指定单个或多个通道
 - ▶ 序列 A 单次扫描
 - ▶ 序列 A 连续扫描
 - ▶ 序列 A 多重数据缓冲模式
 - ▶ 双序列扫描，序列 A、B 独立选择触发源，序列 B 优先级高于 A
 - ▶ 协同工作模式（适用于具有两个或三个 ADC 的设备）
- 中断与事件信号输出
 - ▶ 序列 A 扫描结束中断和事件 ADC_EOCA
 - ▶ 序列 B 扫描结束中断和事件 ADC_EOCB
 - ▶ 模拟看门狗 0 比较中断和事件 ADC_CMP0
 - ▶ 模拟看门狗 1 比较中断和事件 ADC_CMP1
 - ▶ 上述的 4 个事件输出都可启动 DMA

2.18 数模转换器（DAC）

本 MCU 搭载了 1 个 12 位的数模转换器单元 DAC。DAC 单元包含两个 DAC 转换通道，两个通道可以独立转换也可以同步转换。模拟电压输出范围有两档可设。每个转换通道配有输出放大器，可以在没有外部运放时直接驱动外部负载。

DAC 主要特性：

- 两个 DAC 转换通道
- 12 位转换数据可配置成左对齐或者右对齐格式
- 两个转换通道可实现同步转换
- 转换数据计算单元（DCU）的数据可输出三角波和锯齿波
- 输出可用于电压比较器（CMP）的负端电压
- 输出配有放大功能，可直接驱动外部负载
- ADC 转换优先模式可减少 ADC 转换时的干扰

2.19 高级控制定时器（Timer6）

高级控制定时器 6（Timer6）是一个 16 位计数宽度的高性能定时器，能在各种复杂应用场景中提供丰富、灵活的搭配组合和各种中断、事件、PWM 输出。该定时器支持锯齿波和三角波两种波形模式，可生成各种 PWM 波形（单边对齐独立 PWM、双边对称独立 PWM、双边对称互补 PWM、双边非对称 PWM 等）；单元间可实现软件同步和硬件同步（同步启动、停止、清零、刷新等）；各基准值寄存器支持缓存功能（单级缓存和双级缓存）；支持脉宽测量和周期测量；支持 2 相正交编码计数和 3 相正交编码计数；支持 EMB 控制。本系列产品中搭载 2 个单元的 Timer6。

2.20 通用控制定时器 (Timer4)

通用控制定时器 4 (Timer4) 是一个用于三相电机控制的定时器模块，提供各种不同应用的三相电机控制方案。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形；支持缓存功能；支持 EMB 控制。本系列产品中搭载 3 个单元的 Timer4。

2.21 紧急刹车模块 (EMB)

紧急刹车模块是在满足一定条件时产生控制事件输出给定时器，以控制定时器停止或更改向外部电机输出 PWM 信号的功能模块，下列要因用于产生控制事件：

- 外部端口输入电平变化
- PWM 输出端口电平发生同相（同高或同低）
- 电压比较器比较结果
- 系统错误发生
- 写寄存器软件控制

2.22 通用定时器 (TimerA)

通用定时器 A (TimerA) 是一个具有 16/32 位计数宽度、8 路 PWM 输出的定时器。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形（单边对齐 PWM、双边对称 PWM）；支持计数器同步启动；比较基准值寄存器支持缓存功能；支持单元间级联计数；支持 2 相正交编码计数和 3 相正交编码计数。本系列产品搭载 5 个单元 TimerA，其中单元 1 (TimerA1) 为 32 位定时器；单元 2 (TimerA2) ~ 单元 5 (TimerA5) 为 16 位定时器；5 个单元最多可实现 40 路 PWM 输出。

2.23 通用定时器 (Timer0)

通用定时器 0 (Timer0) 是一个可以实现同步计数和异步计数方式的基本定时器。该定时器内含 2 个通道 (CH-A 和 CH-B)，可以在计数期间产生比较匹配事件与计数溢出事件。该事件可以触发中断，也可以用于触发其他模块动作。本系列产品中搭载 2 个单元的 Timer0。

2.24 实时时钟 (RTC)

实时时钟 (RTC) 是一个以 BCD 码格式保存时间信息的计数器。记录从 00 年到 99 年间的具体日历时间。支持 12/24 小时两种时制，根据月份和年份自动计算日数 28、29（闰年）、30 和 31 日。

2.25 看门狗计数器 (WDT/SWDT)

本产品有两个看门狗计数器，一种是计数时钟源为专用内部 RC (SWDTLRC: 10kHz) 的专用看门狗计数器 (SWDT)，另一种是计数时钟源为 PCLK3 的通用看门狗计数器 (WDT)。专用看门狗和通用看门狗是 16 位递减计数器，用来监测由于外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行而产生的软件故障。

两个看门狗都支持窗口功能。在计数开始前可预设窗口区间，计数值位于窗口区间时，可刷新计数器，计数重新开始。

2.26 串行通信接口 (USART)

本产品搭载通用同步异步收发器 (USART) 模块 6 个单元，能够灵活地与外部设备进行全双工数据交换；本产品搭载的 USART 支持通用异步串行通信接口 (UART)，时钟同步通信接口，智能卡接口 (ISO/IEC7816-3) 和 LIN 通信接口。支持调制解调器操作 (CTS/RTS 操作)，多处理器操作。与 Timer0 模块配合支持 UART 接收超时功能。USART1 支持通过 RX 线唤醒 STOP 模式功能。

具体功能分配如下：

功能特性	模块支持情况					
	USART1	USART2	USART3	USART4	USART5	USART6
UART	✓	✓	✓	✓	✓	✓
多处理器通信	✓	✓	✓	✓	✓	✓
时钟同步通信	✓	✓	✓	✓	✓	✓
RX 线唤醒 STOP 模式功能	✓	-	-	-	-	-
小数波特率	✓	✓	✓	✓	✓	✓
LIN	-	-	✓	-	-	✓
智能卡	✓	✓	-	✓	✓	-
UART 接收超时功能	✓	✓	-	✓	✓	-

2.27 集成电路总线（I2C）

I2C（集成电路总线）用作微控制器和 I2C 串行总线之间的接口。提供多主模式功能，可以控制所有 I2C 总线的协议、仲裁。支持标准模式、快速模式。还支持 SMBus 总线。

I2C 主要特性:

- I2C 总线方式、SMBUS 总线方式可选。主机模式、从机模式可选。自动确保与传送速率相对于的各种准备时间、保持时间和总线空闲时间
- 标准模式最大 100kbps，快速模式最大 400kbps
- 自动生成开始条件、重新开始条件和停止条件，并能检测到总线的开始条件，重新开始条件和停止条件
- 最大支持 128 个从机模式地址。支持 7 位地址格式和 10 位地址格式。能检测到广播呼叫地址、SMBus 主机地址、SMBus 设备默认地址、SMBus 报警地址
- 发送时可以自动判定应答位。接收时可以自动发送应答位
- 握手功能
- 仲裁功能
- 超时功能，可以检测 SCL 时钟长时间停止
- SCL 输入和 SDA 输入内置数字滤波器，滤波能力可编程
- 通信错误，接收数据满，发送数据空，一帧发送结束，地址匹配一致中断
- 2 级发送 FIFO 和 2 级接收 FIFO

2.28 串行外设接口（SPI）

本产品搭载 3 个通道的串行外设接口 SPI，支持高速全双工串行同步传输，方便地与外围设备进行数据交换。用户可根据需要进行三线/四线，主机/从机及波特率范围的设置。

表 2-2 SPI 主要特性

要点	描述
串行通信功能	● 支持 4 线式 SPI 模式和 3 线式时钟同步运行模式 ● 支持全双工和只发送两种通信方式 ● 可调整通信时钟 SCK 的极性和相位

要点	描述
数据格式	● 可选择数据移位顺序：MSB 开始/LSB 开始 ● 可选择数据宽度：4/5/6/7/8/9/10/11/12/13/14/15/16/20/24/32 位 ● 单次最多可传送或接收 4 帧宽度为 32 位的数据
波特率	● 主机模式下可通过内置专用波特率发生器对波特率进行调整，波特率范围为 PCLK1 的 2 分频~256 分频 ● 从机模式下允许的最大波特率为 PCLK1 的 6 分频
数据缓冲	● 带有 16 字节的数据缓冲器 ● 支持双重缓冲
错误监测	● 模式故障错误监测 ● 数据过载错误监测 ● 数据欠载错误监测 ● 奇偶校验错误监测
片选信号控制	● 每个通道配置四根片选信号线 ● 可对片选信号和通信时钟的相对时序关系进行调整 ● 可对连续两次通信之间的片选信号无效时间进行调整 ● 极性可调
主机模式下的传输控制	● 通过将数据写入数据寄存器启动传输 ● 通信自动挂起功能
中断	● 接收缓冲器已满 ● 发送缓冲器已空 ● SPI 错误（模式/过载/欠载/奇偶校验） ● SPI 空置 ● 传输完成（仅为事件源）
低功耗控制	● 可设置模块停止
其他功能	● SPI 初始化功能

2.29 四线式串行外设接口（QSPI）

四线式串行外设接口（QSPI）是一个存储器控制模块，主要用于和带 SPI 兼容接口的串行 ROM 进行通信。其对象主要包括有串行闪存，串行 EEPROM 以及串行 FeRAM。

2.30 外部存储器控制器（EXMC）

外部存储器控制器 EXMC（External Memory Controller）是一个用来访问各种片外存储器，实现数据交换的独立模块。EXMC 通过配置可以把内部的 AMBA 协议接口转换为各种类型的专用片外存储器通信协议接口，包括 SRAM、PSRAM、NOR Flash 等。

2.31 控制器局域网 (MCAN)

本产品搭载两个单元 MCAN 通信接口模块 (MCAN1 和 MCAN2)，并为两个 MCAN 控制器配备了 2KB 的 RAM。

两个 CAN 模块 (MCAN1 和 MCAN2) 均符合 ISO 11898-1:2015 (CAN 协议规范第 2.0 版 A、B 部分) 和 CAN FD 协议规范第 1.0 版 (CAN with Flexible Data-Rate Specification Version 1.0)。

2KB 的消息 RAM 存储器可实现过滤器 (Rx Filter)、接收 FIFO (Rx FIFO)、接收缓冲区 (Rx Buffer)、发送事件 FIFO (Tx Event FIFO)、发送缓冲区 (Tx Buffer) 功能。该消息 RAM 在 MCAN1 和 MCAN2 模块之间共用。

2.32 加密协处理模块 (CPM)

加密协处理模块 (CPM) 包括 AES 加解密算法处理器, HASH 安全散列算法, TRNG 真随机数发生器三个子模块。

- AES 加解密算法处理器遵循美国国家标准技术研究所 (NIST) 在 2000 年 10 月 2 日正式宣布的新的数据加密标准, 分组长度固定为 128 位, 而密钥长度支持 128/192/256 位。
- HASH 安全散列算法是 SHA-2 版本的 SHA-256 (Secure Hash Algorithm), 符合美国国家标准和技术局发布的国家标准“FIPS PUB 180-3”, 可以对长度不超过 2^{64} 位的消息产生 256 位的消息摘要输出。
- TRNG 真随机数发生器是以连续模拟噪声为基础的随机数发生器, 提供 64-bit 随机数。

2.33 数据计算单元 (DCU)

数据计算单元 (Data Computing Unit) 是一个不借助于 CPU 的简单处理数据的模块。每个 DCU 单元具有 3 个数据寄存器, 能够进行 2 个数据的加减运算和比较大小以及窗口比较功能。还可以通过定时器触发为数模转换模块 (DAC) 提供连续变化的数字量以产生三角波和锯齿波输出。本产品搭载 4 个 DCU 单元。

2.34 CRC 计算单元 (CRC)

本模块 CRC 算法遵从 ISO/IEC13239 的定义, 分别采用 32 位和 16 位的 CRC。CRC32 的生成多项式为 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, 32 位初值为 0xFFFFFFFF。CRC16 的生成多项式为 $X^{16} + X^{12} + X^5 + 1$, 16 位初值为 0xFFFF。

2.35 调试控制器 (DBGMC)

本 MCU 的内核是 Cortex-M4, 该内核包含用于高级调试功能的硬件。利用这些调试功能, 可以在取指 (指令断点) 或访问数据 (数据断点) 时停止内核。内核停止时, 可以查询内核的内部状态和系统的外部状态。查询完成后, 将恢复内核和系统并恢复程序执行。

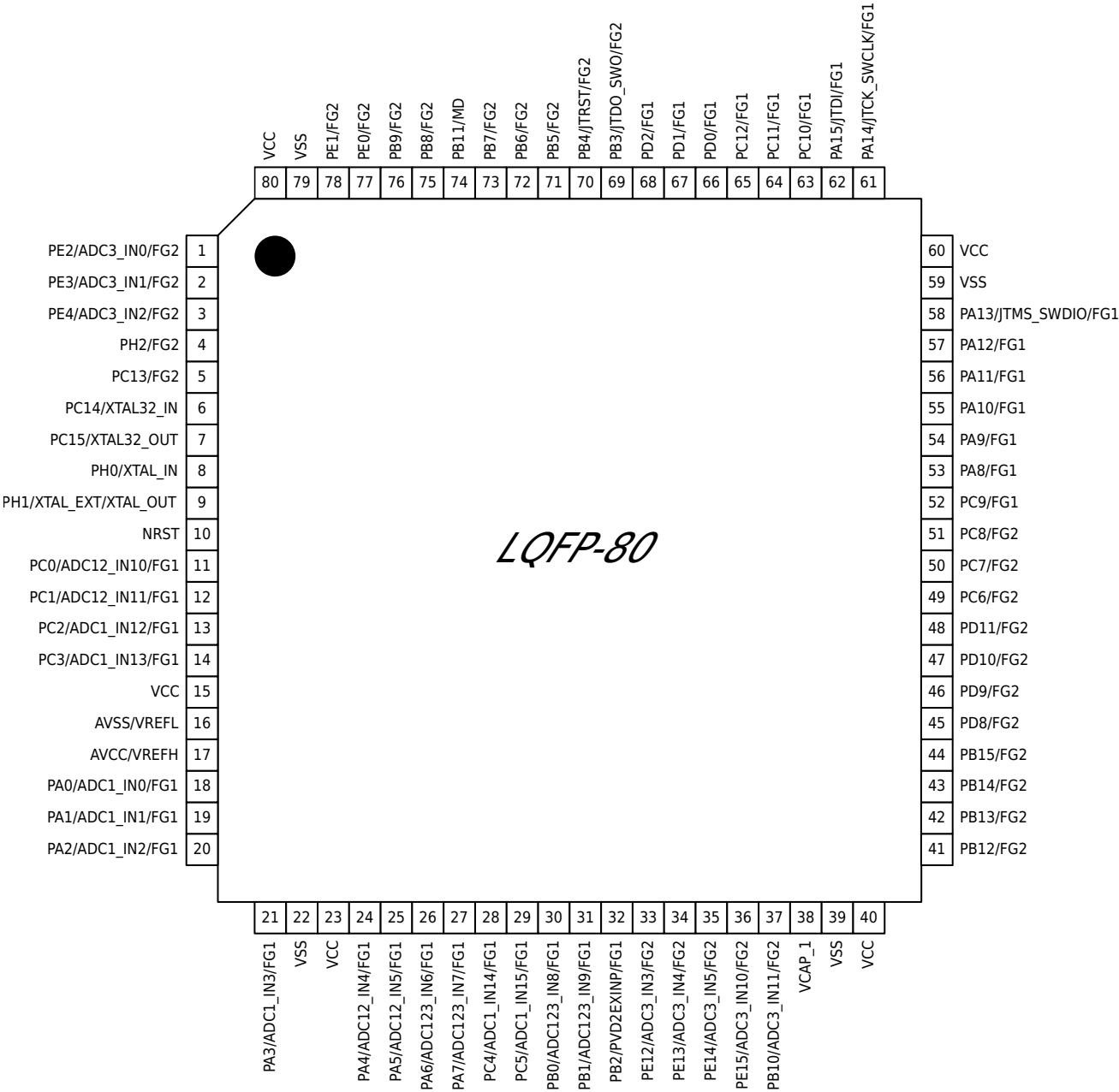
提供两个调试接口:

- 串行调试跟踪接口 SWD
- 并行调试跟踪接口 JTAG

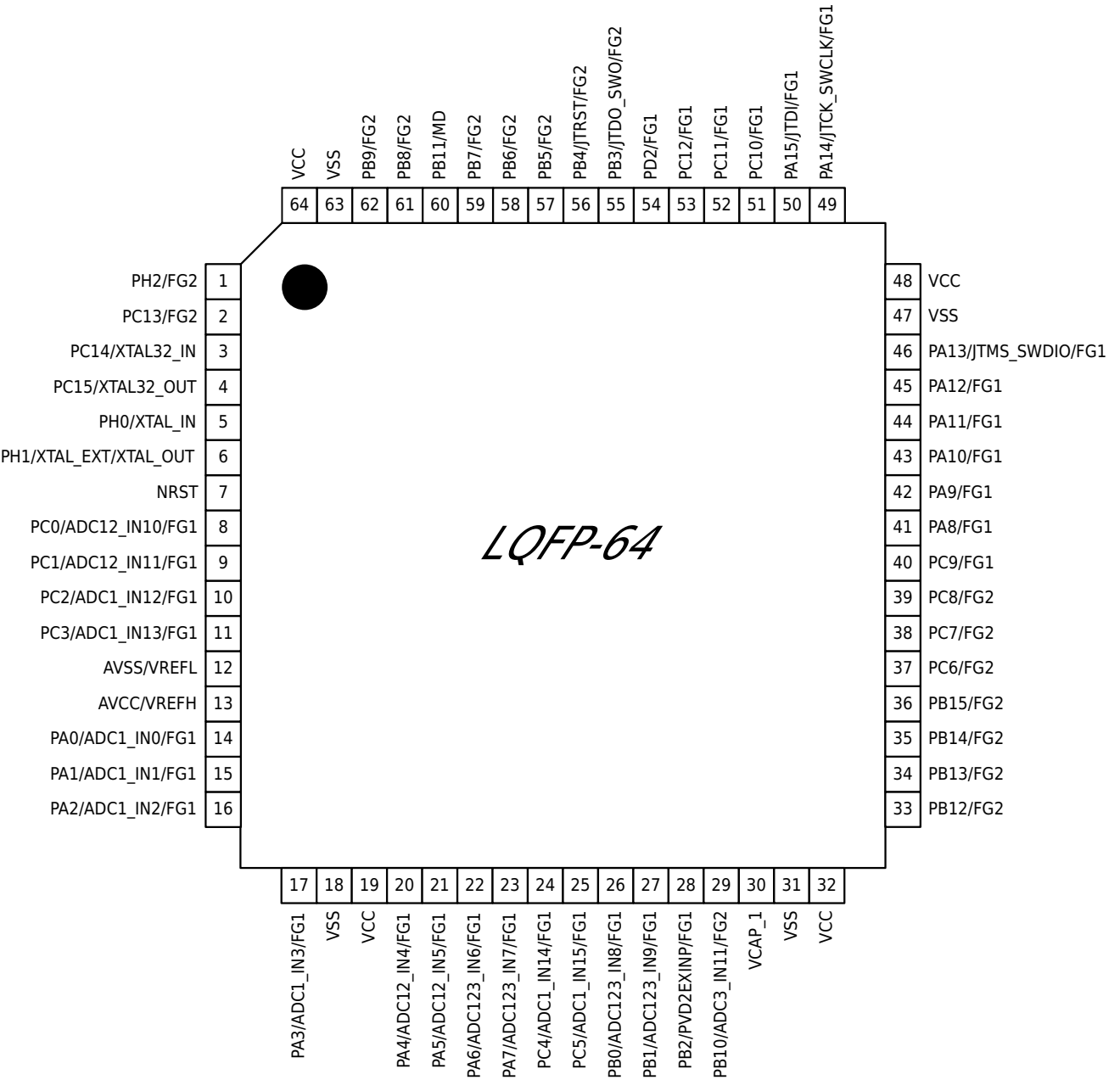
3 引脚配置及功能

3.1 引脚配置图

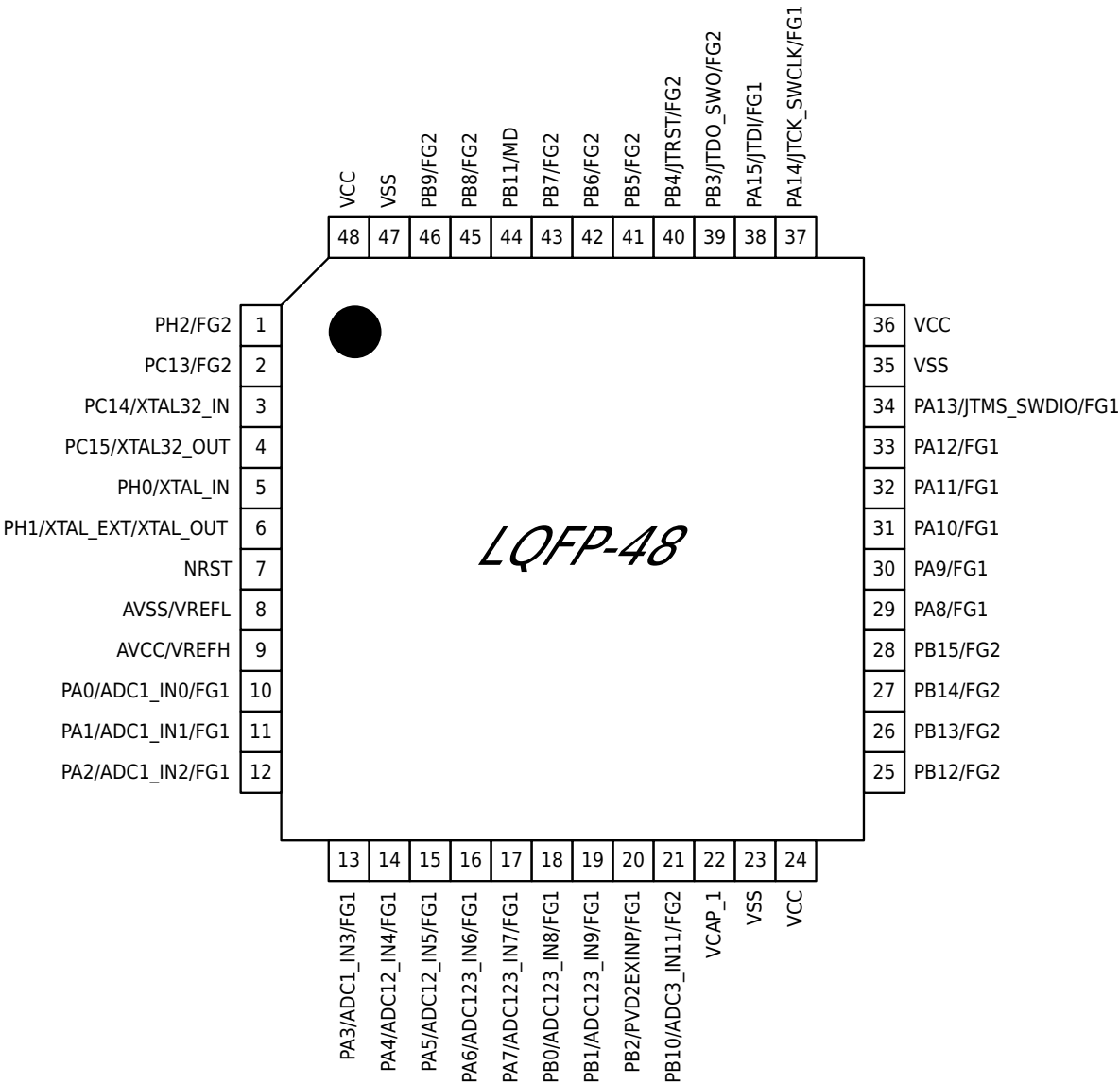
3.1.1 LQFP80 封装



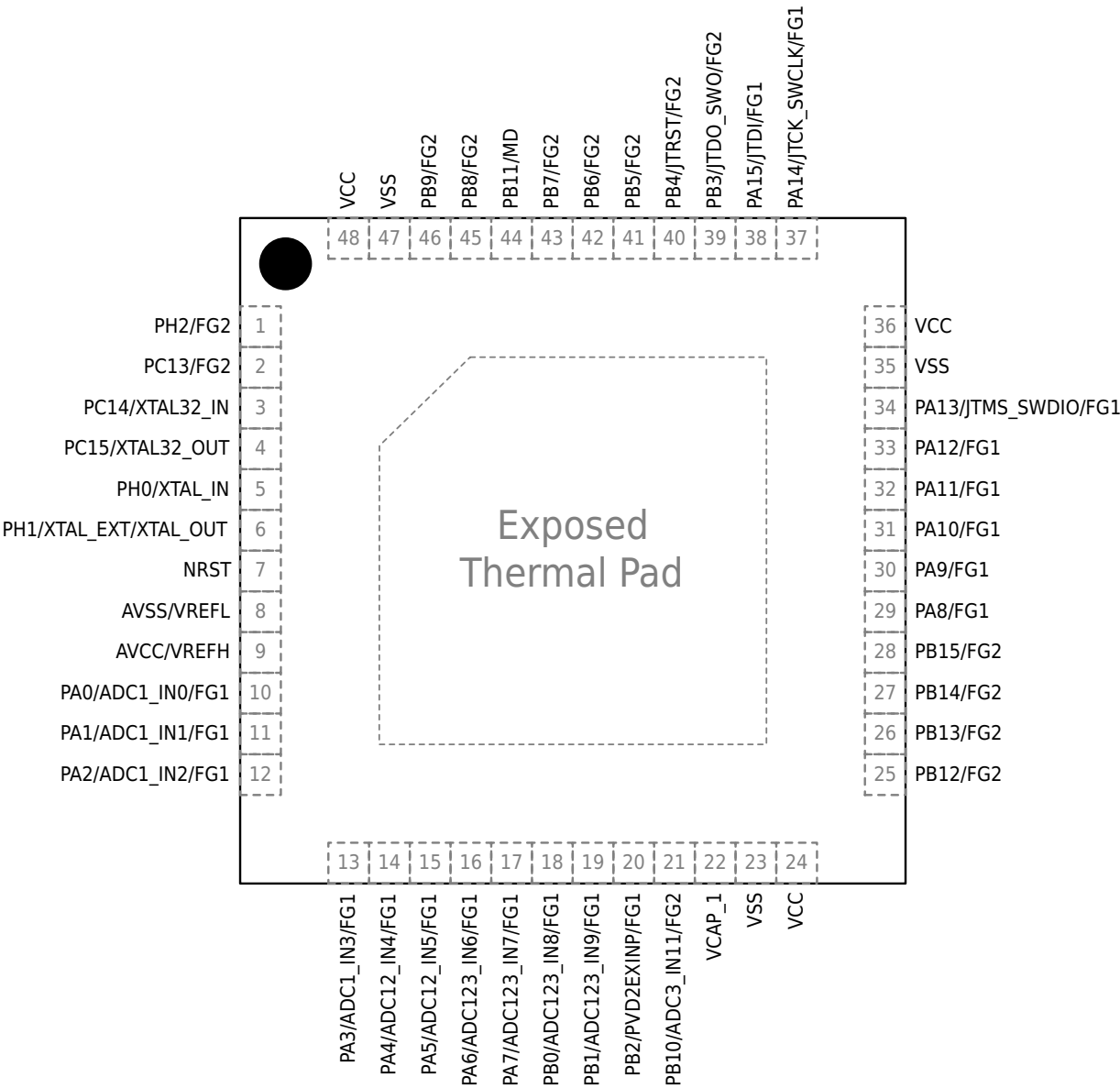
3.1.2 LQFP64 封装



3.1.3 LQFP48 封装



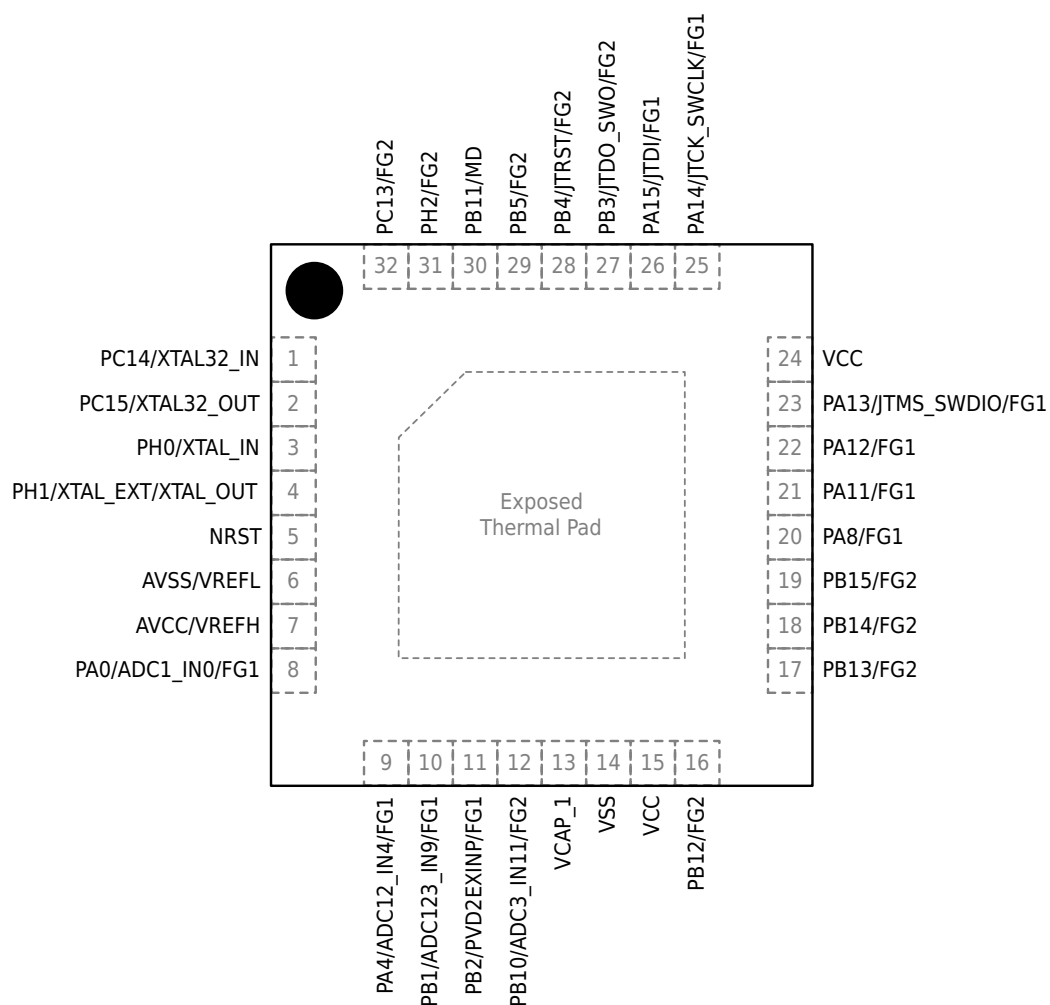
3.1.4 QFN48 封装



说明

- Exposed Thermal Pad 需要连接到 DVSS。

3.1.5 QFN32 封装



说明

- Exposed Thermal Pad 需要连接到 DVSS。

3.2 引脚功能表

LQFP 80	LQFP 64	QFN/ LQFP48	QFN 32	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func11	Func12	Func13	Func14	Func15	Func16	Func21	Func22	Func	Func
								GPO	other	TMR4,VCOU	TMR4,TMR6	TMRA	TMRA	EMB,TMRA	USART,SPI, QSPI	KEY,USART	-	TMR4,TMR A	EXMC,TMRA	TMR6,TMR A	EVNTPT	EVENTOUT	-	PLUJIN	PLJOUT	23~31	Group
1	-	-	-	PE2	ADC3_IN0	EIRQ2	TRACECLK			TMR4_2_PCT		TMRA_3_PWM5			USART3_CK	USART6_R TS						EVENTOUT		PLU0_INA	PLU0_OUT		FG2
2	-	-	-	PE3	ADC3_IN1	EIRQ3	TRACED0			TMR4_2_ADS M		TMRA_3_PWM6			USART4_CK	USART5_R TS						EVENTOUT		PLU0_INB	PLU1_OUT		FG2
3	-	-	-	PE4	ADC3_IN2	EIRQ4	TRACED1		CTCREF	TMR4_1_PCT	TMR4_2_OWL	TMRA_3_PWM7			USART6_CK							EVENTOUT		PLU0_INC	PLU2_OUT		FG2
4	1	1	31	PH2		EIRQ2	TRACED2		FCMREF	TMR4_2_CLK		TMRA_4_PWM7	TMRA_3_TRIG	EMB_IN4	USART4_CK	USART6_C TS		TMRA_4_T RIG				EVENTOUT		PLU0_IND	PLU3_OUT		FG2
5	2	2	32	PC13		EIRQ13	TRACED3		RTC_OUT	VCOU4	TMR4_1_OXL	TMRA_4_PWM8	TMRA_2_PWM2 /CLKB		USART5_CK	USART6_R TS		TMR4_1_A DSM	EXMC_ADD1 6		EVNTP313			PLU1_INA	PLU0_OUT		FG2
6	3	3	1	PC14	XTAL32_IN	EIRQ14			CTCREF	TMR4_1_OVH	TMR4_3_OXH	TMRA_4_PWM5				USART5_C TS		TMR4_1_O XH	EXMC_BAA		EVNTP314			PLU1_INB	PLU1_OUT		
7	4	4	2	PC15	XTAL32_OUT	EIRQ15				TMR4_1_OWH	TMR4_3_OXL	TMRA_4_PWM6				USART5_R TS		TMR4_1_C LK	EXMC_ALE		EVNTP315			PLU1_INC	PLU2_OUT		
8	5	5	3	PH0	XTAL_IN	EIRQ0				TMR4_3_OXL			TMRA_5_PWM3											PLU1_IND	PLU3_OUT		
9	6	6	4	PH1	XTAL_EXT/ XTAL_OUT	EIRQ1				TMR4_3_CLK			TMRA_5_PWM4											PLU2_INA	PLU0_OUT		
10	7	7	5	NRST																							
11	8	-	-	PC0	ADC12_IN10+C MP3_INP3+CMPI _INP3	EIRQ0				TMR4_3_PCT		TMRA_2_PWM5							EXMC_RB0		EVNTP300	EVENTOUT		PLU2_INB	PLU1_OUT		FG1
12	9	-	-	PC1	ADC12_IN11	EIRQ1				TMR4_3_ADS M		TMRA_2_PWM6							EXMC_CLK		EVNTP301	EVENTOUT		PLU2_INC	PLU2_OUT		FG1
13	10	-	-	PC2	ADC1_IN12	EIRQ2				TMR4_3_OXH		TMRA_2_PWM7		EMB_IN3					EXMC_CE4		EVNTP302	EVENTOUT		PLU2_IND	PLU3_OUT		FG1
14	11	-	-	PC3	ADC1_IN13+CM PI_INM2	EIRQ3			MCO_2	TMR4_3_OXL		TMRA_2_PWM8							EXMC_CE5		EVNTP303	EVENTOUT		PLU3_INA	PLU0_OUT		FG1
15	-	-	-	VCC																							
16	12	8	6	AVSS/ VREFL																							
17	13	9	7	AVCC/ VREFH																							
18	14	10	8	PA0	ADC1_IN0 +CMPI_INP1	EIRQ0+WK UP0_0			TMR4_1_O VH	TMR4_2_OUH		TMRA_2_PWM1 /CLKA	TMRA_1_PWM1 /CLKA	TMRA_2_TRIG	SPI1_NSS1	USART3_C TS			EXMC_ADD1 7		EVNTP100	EVENTOUT		PLU3_INB	PLU1_OUT		FG1
19	15	11	-	PA1	ADC1_IN1 +CMPI_INP2	EIRQ1				TMR4_2_OUL		TMRA_2_PWM2 /CLKB	TMRA_3_TRIG		SPI1_NSS2	USART5_C TS			EXMC_ADD1 8		EVNTP101	EVENTOUT		PLU3_INC	PLU2_OUT		FG1
20	16	12	-	PA2	ADC1_IN2 +CMPI_INP3	EIRQ2				TMR4_2_OVH		TMRA_2_PWM3	TMRA_5_PWM1 /CLKA		SPI1_NSS3	USART6_C TS			EXMC_ADD1 9		EVNTP102	EVENTOUT		PLU3_IND	PLU3_OUT		FG1
21	17	13	-	PA3	ADC1_IN3 +CMPI_INP4 +CMP2_INP4	EIRQ3				TMR4_2_OVL		TMRA_2_PWM4	TMRA_5_PWM2 /CLKB		USART5_CK	USART3_R TS			EXMC_ADD2 0		EVNTP103	EVENTOUT		PLU0_INA	PLU0_OUT		FG1
22	18	-	-	VSS																							
23	19	-	-	VCC																							

LQFP 80	LQFP 64	QFN/ LQFP48	QFN 32	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func11	Func12	Func13	Func14	Func15	Func16	Func21	Func22	Func	Func	
								GPO	other	TMR4,VCOUT	TMR4,TMR6	TMRA	TMRA	EMB,TMRA	USART,SPI, QSPI	KEY,USART	-	TMR4,TMR A	EXMC,TMRA	TMR6,TMR A	EVNTPT	EVENTOUT	-	PLUIN	PLUOUT			
24	20	14	9	PA4	ADC12_IN4 +CMP2_INP1 +CMP3_INP4 +DAC_OUT1	EIRQ4			TMR4_1_O WH	TMR4_2_OWH			TMRA_3_PWM5		USART2_CK	KEYOUT0			EXMC_CE0		EVNTP104	EVENTOUT		PLU0_INB	PLU1_OUT		FG1	
25	21	15	-	PA5	ADC12_IN5+CM P2_INP2+DAC_O UT2	EIRQ5				TMR4_2_OWL		TMRA_2_PWM1 /CLKA	TMRA_3_PWM6	TMRA_2_TRIG	SPI3_NSS1	KEYOUT1			EXMC_DATA 7		EVNTP105	EVENTOUT		PLU0_INC	PLU2_OUT		FG1	
26	22	16	-	PA6	ADC123_IN6+C MP2_INP3	EIRQ6				TMR4_2_ADS M	TMR4_1_PCT		TMRA_3_PWM1 /CLKA	EMB_IN2	SPI3_NSS2	KEYOUT2			EXMC_DATA 0		EVNTP106	EVENTOUT		PLU0_IND	PLU3_OUT		FG1	
27	23	17	-	PA7	ADC123_IN7+C MP1234_INM1	EIRQ7				TMR4_1_OUL	TMR6_1_PWMB	TMRA_1_PWM5	TMRA_3_PWM2 /CLKB	EMB_IN3	SPI3_NSS3	KEYOUT3			EXMC_DATA 1		EVNTP107	EVENTOUT		PLU1_INA	PLU0_OUT		FG1	
28	24	-	-	PC4	ADC1_IN14 +CMP2_INM2	EIRQ4				TMR4_2_OUH			TMRA_3_PWM7		USART1_CK				EXMC_DATA 8		EVNTP304	EVENTOUT		PLU1_INB	PLU1_OUT		FG1	
29	25	-	-	PC5	ADC1_IN15 +CMP3_INM2	EIRQ5				TMR4_2_OUL			TMRA_3_PWM8						EXMC_DATA 9		EVNTP305	EVENTOUT		PLU1_INC	PLU2_OUT		FG1	
30	26	18	-	PB0	ADC123_IN8+C MP3_INP1	EIRQ0				TMR4_1_OVL	TMR6_2_PWMB	TMRA_1_PWM6	TMRA_3_PWM3		USART4_CK	KEYOUT4			EXMC_DATA 2		EVNTP200	EVENTOUT		PLU1_IND	PLU3_OUT		FG1	
31	27	19	10	PB1	ADC123_IN9+C MP3_INP2+CMP4 _INP2	EIRQ1+WK UP0_1			CTCREF	TMR4_1_OWL		TMRA_1_PWM7	TMRA_3_PWM4	TMRA_4_PWM4	QSPI_NSS	KEYOUT5			EXMC_DATA 3		EVNTP201	EVENTOUT		PLU2_INA	PLU0_OUT		FG1	
32	28	20	11	PB2	PVD2EXINP	EIRQ2+WK UP0_2			VCOUT	TMR4_1_PCT	TMR6_TRIGB	TMRA_1_PWM8	TMRA_5_PWM2 /CLKB	EMB_IN1	QSPI_IO3						EVNTP202	EVENTOUT		PLU2_INB	PLU1_OUT		FG1	
33	-	-	-	PE12	ADC3_IN3	EIRQ12				TMR4_1_OWL		TMRA_1_PWM7			SPI1_NSS1				EXMC_DATA 10			EVENTOUT		PLU2_INC	PLU2_OUT		FG2	
34	-	-	-	PE13	ADC3_IN4	EIRQ13				TMR4_1_OWH		TMRA_1_PWM3			SPI1_NSS2				EXMC_DATA 11			EVENTOUT		PLU2_IND	PLU3_OUT		FG2	
35	-	-	-	PE14	ADC3_IN5	EIRQ14			ADTRG1	TMR4_1_CLK		TMRA_1_PWM4			SPI1_NSS3				EXMC_DATA 12			EVENTOUT		PLU3_INA	PLU0_OUT		FG2	
36	-	-	-	PE15	ADC3_IN10	EIRQ15			ADTRG3			TMRA_1_PWM8	TMRA_5_TRIG	EMB_IN2	USART4_CK				EXMC_DATA 13			EVENTOUT		PLU3_INB	PLU1_OUT		FG2	
37	29	21	12	PB10	ADC3_IN11	EIRQ10			ADTRG2	TMR4_2_OVH	TMR4_1_OXL	TMRA_2_PWM3	TMRA_5_PWM8	TMRA_1_PWM3	QSPI_IO2				EXMC_DATA 4		EVNTP210	EVENTOUT		PLU3_INC	PLU2_OUT		FG2	
38	30	22	13	VCAP_1																								
39	31	23	14	VSS																								
40	32	24	15	VCC																								
41	33	25	16	PB12		EIRQ12			VCOUT1	TMR4_2_OVL	TMR6_TRIGB	TMRA_1_PWM8	TMRA_5_TRIG	EMB_IN2	QSPI_IO1	USART5_C TS			EXMC_DATA 5		EVNTP212	EVENTOUT		PLU3_IND	PLU3_OUT		FG2	
42	34	26	17	PB13		EIRQ13			VCOUT2	TMR4_1_OUL	TMR6_1_PWMB	TMRA_1_PWM5	TMRA_4_PWM1 /CLKA	TMRA_3_PWM1 /CLKA	QSPI_IO0	USART5_R TS					EVNTP213	EVENTOUT		PLU0_INA	PLU0_OUT		FG2	
43	35	27	18	PB14		EIRQ14			VCOUT3	TMR4_1_OVL	TMR6_2_PWMB	TMRA_1_PWM6	TMRA_4_PWM2 /CLKB	TMRA_3_PWM2 /CLKB	QSPI_SCK	USART6_C TS					EVNTP214	EVENTOUT		PLU0_INB	PLU1_OUT		FG2	
44	36	28	19	PB15		EIRQ15			RTC_OUT	TMR4_1_OWL		TMRA_1_PWM7		EMB_IN4	USART3_CK	USART6_R TS		TMRA_1_P WM2/CLKB	TMRA_2_PW M2/CLKB	TMR6_2_P WMA	EVNTP215	EVENTOUT		PLU0_INC	PLU2_OUT		FG2	
45	-	-	-	PD8		EIRQ8				TMR4_3_OUL	TMR4_2_OWL				QSPI_IO0	KEYOUT7		TMRA_1_O XH				EVNTP408	EVENTOUT		PLU0_IND	PLU3_OUT		FG2
46	-	-	-	PD9		EIRQ9				TMR4_3_OVL	TMR4_2_OVL				QSPI_IO1	KEYOUT6		TMRA_1_O XL				EVNTP409	EVENTOUT		PLU1_INA	PLU0_OUT		FG2

LQFP 80	LQFP 64	QFN/ LQFP48	QFN 32	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func11	Func12	Func13	Func14	Func15	Func16	Func21	Func22	Func	Func
								GPO	other	TMR4,VCOU	TMR4,TMR6	TMRA	TMRA	EMB,TMRA	USART,SPI, QSPI	KEY,USART	~10	TMR4,TMR A	EXMC,TMRA	TMR6,TMR A	EVNTP	EVENTOUT	~20	PLUIN	PLUOUT	23~31	Group
47	-	-	-	PD10		EIRQ10				TMR4_3_OWL					QSPI_IO2	KEYOUT5		TMR4_2_O XH			EVNTP410	EVENTOUT		PLU1_INB	PLU1_OUT		FG2
48	-	-	-	PD11		EIRQ11				TMR4_3_CLK					QSPI_IO3	KEYOUT4		TMR4_2_O XL			EVNTP411	EVENTOUT		PLU1_INC	PLU2_OUT		FG2
49	37	-	-	PC6		EIRQ6			CTCREF	TMR4_2_ADS M	TMR4_1_CLK	TMRA_3_PWM1 /CLKA	TMRA_5_PWM8		QSPI_SCK	KEYOUT3					EVNTP306	EVENTOUT		PLU1_IND	PLU3_OUT		FG2
50	38	-	-	PC7		EIRQ7				TMR4_2_CLK	TMR4_3_OVH	TMRA_3_PWM2 /CLKB	TMRA_5_PWM7		QSPI_NSS	KEYOUT2					EVNTP307	EVENTOUT		PLU2_INA	PLU0_OUT		FG2
51	39	-	-	PC8		EIRQ8				TMR4_2_OWH	TMR4_3_OVL	TMRA_3_PWM3	TMRA_5_PWM6		USART3_CK	KEYOUT1			EXMC_DATA 14		EVNTP308	EVENTOUT		PLU2_INB	PLU1_OUT		FG2
52	40	-	-	PC9		EIRQ9			MCO_2	TMR4_2_OWL	TMR4_3_OUL	TMRA_3_PWM4	TMRA_5_PWM5			KEYOUT0			EXMC_DATA 15		EVNTP309	EVENTOUT		PLU2_INC	PLU2_OUT		FG1
53	41	29	20	PA8	CMP4_INM2	EIRQ8+WK UP2_0			MCO_1	TMR4_1_OUH	TMR6_1_PWMA	TMRA_1_PWM1 /CLKA	TMRA_2_PWM1 /CLKA		USART1_CK						EVNTP108	EVENTOUT		PLU2_IND	PLU3_OUT		FG1
54	42	30	-	PA9	CMP4_INP1	EIRQ9+WK UP2_1			CTCREF	TMR4_1_OVH	TMR6_2_PWMA	TMRA_1_PWM2 /CLKB									EVNTP109	EVENTOUT		PLU3_INA	PLU0_OUT		FG1
55	43	31	-	PA10	CMP4_INP4	EIRQ10+W KUP2_2			CTCREF	TMR4_1_OWH	TMR4_3_CLK	TMRA_1_PWM3	TMRA_5_TRIG		USART6_CK						EVNTP110	EVENTOUT		PLU3_INB	PLU1_OUT		FG1
56	44	32	21	PA11		EIRQ11+W KUP2_3				TMR4_1_O XL	TMR4_1_CLK	TMR6_TRIGA	TMRA_1_PWM4 /CLKA	EMB_IN1	USART5_CK	USART3_R TS					EVNTP111	EVENTOUT		PLU3_INC	PLU2_OUT		FG1
57	45	33	22	PA12		EIRQ12+W KUP3_0				TMR4_1_A DSM	TMR4_3_OWL	TMR6_TRIGA	TMRA_1_TRIG		TMRA_2_TRIG	USART6_CK	USART3_C TS	TMR4_2_P CT	EXMC_DATA 6	TMRA_3_P WM1/CLKA	EVNTP112	EVENTOUT		PLU3_IND	PLU3_OUT		FG1
58	46	34	23	PA13		EIRQ13+W KUP3_1	JTMS_SW DIO			TMR4_3_ADS M		TMRA_2_PWM5			SPI2_NSS1			TMR4_5_T RIG	EXMC_DATA 7		EVNTP113	EVENTOUT		PLU0_INA	PLU0_OUT		FG1
59	47	35	-	VSS																							
60	48	36	24	VCC																							
61	49	37	25	PA14		EIRQ14+W KUP3_2	JTCK_SW CLK			TMR4_3_PCT		TMRA_2_PWM6		TMRA_4_TRIG	SPI2_NSS2				EXMC_CE0		EVNTP114	EVENTOUT		PLU0_INB	PLU1_OUT		FG1
62	50	38	26	PA15		EIRQ15+W KUP3_3	JTDI			TMR4_3_OXH		TMRA_2_PWM1 /CLKA		TMRA_2_TRIG	SPI2_NSS3						EVNTP115	EVENTOUT		PLU0_INC	PLU2_OUT		FG1
63	51	-	-	PC10		EIRQ10				TMR4_3_OUH		TMRA_2_PWM7 /CLKA	TMRA_5_PWM1 /CLKA					TMR4_2_O XL			EVNTP310	EVENTOUT		PLU0_IND	PLU3_OUT		FG1
64	52	-	-	PC11		EIRQ11				TMR4_3_OVH		TMRA_2_PWM8 /CLKB	TMRA_5_PWM2 /CLKB					TMR4_2_O XH			EVNTP311	EVENTOUT		PLU1_INA	PLU0_OUT		FG1
65	53	-	-	PC12		EIRQ12				TMR4_3_OWH	TMR4_2_PCT	TMRA_4_TRIG	TMRA_5_PWM3					TMR4_1_O XL			EVNTP312	EVENTOUT		PLU1_INB	PLU1_OUT		FG1
66	-	-	-	PD0		EIRQ0			VCOU	TMR4_2_OUL	TMR4_3_OUH		TMRA_5_PWM4								EVNTP400	EVENTOUT		PLU1_INC	PLU2_OUT		FG1
67	-	-	-	PD1		EIRQ1				TMR4_2_OWH	TMR4_3_OWH	TMRA_3_TRIG									EVNTP401	EVENTOUT		PLU1_IND	PLU3_OUT		FG1
68	54	-	-	PD2		EIRQ2				TMR4_1_OXH	TMR4_2_OVH	TMRA_2_PWM4									EVNTP402	EVENTOUT		PLU2_INA	PLU0_OUT		FG1
69	55	39	27	PB3		EIRQ3+W KUP0_3	JTDO_TRA CESWO		FCMREF	TMR4_3_CLK		TMRA_2_PWM2 /CLKB									EVNTP203	EVENTOUT		PLU2_INB	PLU1_OUT		FG2
70	56	40	28	PB4		EIRQ4+W KUP1_0	NJTRST			TMR4_3_OWL		TMRA_3_PWM1 /CLKA									EVNTP204	EVENTOUT		PLU2_INC	PLU2_OUT		FG2
71	57	41	29	PB5		EIRQ5+W KUP1_1			ADTRG3	TMR4_3_OWH	TMR6_1_PWMA	TMRA_3_PWM2 /CLKB	TMRA_3_TRIG	TMRA_4_TRIG	USART4_CK			TMR4_1_O XH		TMRA_1_P WM2/CLKB	EVNTP205	EVENTOUT		PLU2_IND	PLU3_OUT		FG2
72	58	42	-	PB6		EIRQ6+W KUP1_2			ADTRG2	TMR4_3_OVL		TMRA_4_PWM1 /CLKA						TMR4_1_O XL			EVNTP206	EVENTOUT		PLU3_INA	PLU0_OUT		FG2
73	59	43	-	PB7		EIRQ7+W KUP1_3			ADTRG1	TMR4_3_OVH		TMRA_4_PWM2 /CLKB						TMR4_2_O XH	EXMC_ADV		EVNTP207	EVENTOUT		PLU3_INB	PLU1_OUT		FG2

LQFP 80	LQFP 64	QFN/ LQFP48	QFN 32	Pin Name	Analog	EIRQ/ WKUP	TRACE/ JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9 ~10	Func11	Func12	Func13	Func14	Func15	Func16 ~20	Func21	Func22	Func 23~31	Func Group
								GPO	other	TMR4,VCOUT	TMR4,TMR6	TMRA	TMRA	EMB,TMRA	USART,SPI, QSPI	KEY,USART	-	TMR4,TMR A	EXMC,TMRA	TMR6,TMR A	EVNTPT	EVENTOUT	-	PLUJIN	PLUOUT	-	-
74	60	44	30	PB11/MD																	EVNTP211			PLU3_INC	PLU2_OUT		
75	61	45	-	PB8		EIRQ8				TMR4_3_OUL		TMRA_4_PWM3			USART5_CK	KEYOUT7		TMR4_2_O XL	EXMC_WE		EVNTP208	EVENTOUT		PLU3_IND	PLU3_OUT		FG2
76	62	46	-	PB9		EIRQ9				TMR4_3_OUH		TMRA_4_PWM4		EMB_IN4	SPI2_NSS1	KEYOUT6		TMR4_1_A DSM	EXMC_OE		EVNTP209	EVENTOUT		PLU0_INA	PLU0_OUT		FG2
77	-	-	-	PE0		EIRQ0			MCO_1	TMR4_1_ADS M		TMRA_4_TRIG			SPI2_NSS2							EVENTOUT		PLU0_INB	PLU1_OUT		FG2
78	-	-	-	PE1		EIRQ1			MCO_2	TMR4_3_CLK					SPI2_NSS3			TMR4_2_O UH				EVENTOUT		PLU0_INC	PLU2_OUT		FG2
79	63	47	-	VSS																							
80	64	48	-	VCC																							

Func32~63 主要为串行通信功能（包含 USART、SPI、I2C、MCAN），分成两组 FunctionGroup，简称 FG1、FG2。详细对应关系如下表所示。

表 3-2 Func32~63 表

	Func32	Func33	Func34	Func35	Func36	Func37	Func38	Func39	Func40	Func41	Func42	Func43	Func44	Func45
FG1	USART1_TX	USART1_RX	USART1_RTS	USART1_CTS	USART2_TX	USART2_RX	USART2_RTS	USART2_CTS	SPI1_MOSI	SPI1_MISO	SPI1_NSS0	SPI1_SCK	SPI2_MOSI	SPI2_MISO
FG2	USART3_TX	USART3_RX	USART3_RTS	USART3_CTS	USART4_TX	USART4_RX	USART4_RTS	USART4_CTS	SPI3_MOSI	SPI3_MISO	SPI3_NSS0	SPI3_SCK	SPI1_MOSI	SPI1_MISO
	Func46	Func47	Func48	Func49	Func50	Func51	Func52	Func53	Func54	Func55	Func56	Func57	Func58	Func59
FG1	SPI2_NSS0	SPI2_SCK	I2C1_SDA	I2C1_SCL	I2C2_SDA	I2C2_SCL	USART3_TX	USART3_RX	USART6_TX	USART6_RX	MCAN1_TX	MCAN1_RX	-	-
FG2	SPI1_NSS0	SPI1_SCK	I2C1_SDA	I2C1_SCL	MCAN1_TX	MCAN1_RX	USART5_TX	USART5_RX	USART6_TX	USART6_RX	MCAN2_TX	MCAN2_RX	-	-
	Func60	Func61	Func62	Func63										
FG1	-	-	-	-										
FG2	-	-	-	-										

表 3-3 端口配置

Package	Port Group	Bits																Pin Count Total	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
LQFP80	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	67
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortD	-	-	-	-	0	0	0	0	-	-	-	-	-	0	0	0	7	
	PortE	0	0	0	0	-	-	-	-	-	-	-	0	0	0	0	0	9	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	3	
LQFP64	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	52
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortD	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-	-	1	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	3	
LQFP48	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	38
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-	-	3	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	3	
QFN48	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	38
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-	-	3	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	3	
QFN32	PortA	0	0	0	0	0	-	-	0	-	-	-	0	-	-	-	0	8	25
	PortB	0	0	0	0	0	0	-	-	-	-	0	0	0	0	0	-	11	
	PortC	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-	-	3	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	3	

表 3-4 通用功能规格

Port		上拉/下拉	开漏输出	驱动能力	5V 耐压
PortA	PA0~PA6 PA9~PA15	支持	支持	低/中/高	支持
	PA7, PA8	支持	支持	低/中/高	不支持

Port		上拉/下拉	开漏输出	驱动能力	5V 耐压
PortB	PB0~PB15	支持	支持	低、中、高	支持
PortC	PC0~PC2 PC6~PC15	支持	支持	低、中、高	支持
	PC3~PC5	支持	支持	低、中、高	不支持
PortD	PD0~PD2 PD8~PD11	支持	支持	低/中/高	支持
PortE	PE0~PE4 PE12~PE15	支持	支持	低/中/高	支持
PortH	PH0~PH15	支持	支持	低/中/高	支持

 **说明**

用作模拟功能时，输入电压不得高于 VREFH/AVCC。

3.3 引脚功能说明

表 3-5 引脚功能说明

类别	功能名	I/O	说明
Power	VCC	I	电源
	VSS	I	电源地
	VCAP_1	IO	内核电压
	AVCC/VREFH	I	模拟电源/模拟参考电压
	AVSS/VREFL	I	模拟电源地/模拟参考电压
System	NRST	I	复位端子，低有效
	MD	I	模式端子
PVD	PVD2EXINP	I	PVD2 外部输入比较电压
Clock	XTAL_IN	I	外部主时钟振荡器接口
	XTAL_EXT/XTAL_OUT	IO	XTAL_EXT 外部时钟输入/外部主时钟振荡器接口
	XTAL32_IN	I	外部副时钟（32.768kHz）振荡器接口
	XTAL32_OUT	O	
	MCO_x(x=1~2)	O	内部时钟输出
GPIO	GPIOxy(x=A~E, H y=0~15)	IO	通用输入输出
EVENTOUT	EVENTOUT	O	Cortex-M4 CPU 事件输出
EIRQ	EIRQx(x=0~15)	I	可屏蔽外部中断
	WKUPx_y(x=0~3 y=0~3)	I	PowerDown 模式外部唤醒输入
Event Port	EVNTPxy(x=1~4 y=0~15)	IO	事件端口输入输出功能
KEYSCAN	KEYOUTx(x=0~7)	O	KEYSCAN 扫描输出信号
JTAG/SWD	JTCK_SWCLK	I	在线调试接口
	JTMS_SWDIO	IO	
	JTDO_TRACESWO	O	
	JTDI	I	
	NJTRST	I	
TRACE	TRACECLK	O	跟踪调试同步时钟输出
	TRACEDx(x=0~3)	O	跟踪调试数据输出
FCM	FCMREF	I	时钟频率计测用外部基准时钟输入

类别	功能名	I/O	说明
RTC	RTC_OUT	O	1Hz 时钟输出
Timer4	TMR4_x_CLK(x=1~3)	I	计数时钟端口输入
	TMR4_x_OUH(x=1~3)	IO	PWM 端口 U 相输出
	TMR4_x_OUL(x=1~3)	IO	PWM 端口 U 相输出
	TMR4_x_OVH(x=1~3)	IO	PWM 端口 V 相输出
	TMR4_x_OVL(x=1~3)	IO	PWM 端口 V 相输出
	TMR4_x_OWH(x=1~3)	IO	PWM 端口 W 相输出
	TMR4_x_OWL(x=1~3)	IO	PWM 端口 W 相输出
	TMR4_x_OXH(x=1~3)	IO	PWM 端口 X 相输出
	TMR4_x_OXL(x=1~3)	IO	PWM 端口 X 相输出
	TMR4_x_ADSM(x=1~3)	O	专用事件输出监测
	TMR4_x_PCT(x=1~3)	O	PWM 周期输出监测
Timer6	TMR6_TRIGA	I	外部事件触发 A 输入
	TMR6_TRIGB	I	外部事件触发 B 输入
	TMR6_x_PWMA(x=1~2)	IO	外部事件触发输入或 PWM 端口输出
	TMR6_x_PWMB(x=1~2)	IO	外部事件触发输入或 PWM 端口输出
TimerA	TMRA_x_TRIG(x=1~5)	I	外部事件触发输入
	TMRA_x_PWM1/TMRA_x_CLKA(x=1~5)	IO	外部事件触发输入或 PWM 端口输出或计数时钟端口输入
	TMRA_x_PWM2/TMRA_x_CLKB(x=1~5)	IO	外部事件触发输入或 PWM 端口输出或计数时钟端口输入
	TMRA_x_PWM _y (x=1~5 y=3~8)	IO	外部事件触发输入或 PWM 端口输出
EMB	EMB_INx(x=1~4)	I	端口输入控制信号
USART	USARTx_TX(x=1~6)	IO	发送数据
	USARTx_RX(x=1~6)	IO	接收数据
	USARTx_CK(x=1~6)	IO	通信时钟
	USARTx_RTS(x=1~6)	O	请求发送信号
	USARTx_CTS(x=1~6)	I	清除发送信号

类别	功能名	I/O	说明
SPI	SPIx_MISO(x=1~3)	IO	主输入/从输出数据传输引脚
	SPIx_MOSI(x=1~3)	IO	主输出/从输入数据传输引脚
	SPIx_SCK(x=1~3)	IO	传输时钟
	SPIx_NSS0(x=1~3)	IO	从机选择输入输出引脚
	SPIx_NSSy(x=1~3 y=1~3)	O	从机选择输出引脚
QSPI	QSPI_IOx(x=0~3)	IO	数据线
	QSPI_SCK	O	时钟输出
	QSPI_NSS	O	从机选择
I2C	I2Cx_SCL(x=1~2)	IO	时钟线
	I2Cx_SDA(x=1~2)	IO	数据线
MCAN	MCANx_TX(x=1~2)	O	发送数据
	MCANx_RX(x=1~2)	I	接收数据
CMP	VCOUT1	O	CMP1 结果输出
	VCOUT2	O	CMP2 结果输出
	VCOUT3	O	CMP3 结果输出
	VCOUT4	O	CMP4 结果输出
	VCOUT	O	CMP1~4 结果 OR 输出
	CMPx_INPy(x=1~4 y=1~4)	I	CMPx 正端模拟输入
	CMPx_INM2(x=1~4)	I	CMPx 负端模拟输入
	CMP1234_INM1	I	CMP1,2,3,4 负端模拟输入
ADC	ADTRG1	I	ADC1 AD 转换外部启动源
	ADTRG2	I	ADC2 AD 转换外部启动源
	ADTRG3	I	ADC3 AD 转换外部启动源
	ADC123_INx(x=6~9)	I	ADC1,2,3 共用外部模拟输入端口
	ADC12_INx(x=4~5,10,11)	I	ADC1,2 共用外部模拟输入端口
	ADC1_INx(x=0~3,12~15)	I	ADC1 外部模拟输入端口
	ADC3_INx(x=0~5,10,11)	I	ADC3 外部模拟输入端口
DAC	DAC_OUTy(y=1~2)	O	DAC 模拟输出
EXMC	EXMC_CLK	IO	具体信息请参见《用户手册》“外部存储器控制器 (EXMC) -功能说
	EXMC_OE	O	

类别	功能名	I/O	说明
EXMC	EXMC_WE	O	明-协议接口”中的 EXMC 端口功能配置
	EXMC_ALE	O	
	EXMC_BAA	O	
	EXMC_ADV	O	
	EXMC_CEx(x=0,4~5)	O	
	EXMC_RB0	I	
	EXMC_ADDx(x=16~20)	O	
	EXMC_DATAx(x=0~15)	IO	
PLU	PLUx_INy(x=0~3 y=A~D)	I	逻辑运算单元 PLU 的输入
	PLUx_OUT(x=0~3)	O	逻辑运算单元 PLU 的输出

3.4 引脚使用说明

表 3-6 引脚使用说明

引脚名	使用说明
VCC	电源，接 1.8V~3.6VV 电压，并就近与 VSS 引脚接去耦电容（参考"电气特性"）
VSS	电源地，接 0V
VCAP_1	内核电压，就近与 VSS 引脚接电容，以稳定内核电压（参考"电气特性"）
AVCC	模拟电源，给模拟模块供电，接与 VCC 相同电压（参考"电气特性"） 不使用独立的模拟电源时，请与 VCC 短接，禁止悬空
AVSS	模拟电源地，给模拟模块供电，接与 VSS 相同电压（参考"电气特性"） 不使用独立的模拟电源时，请与 VSS 短接，禁止悬空
PB11/MD	模式输入。复位引脚（NRST）解除（从低电平变为高电平）时，本管脚必须固定为低电平。推荐接电阻（4.7kΩ）到 VSS（下拉）
NRST	复位引脚，低有效。不使用时接电阻到 VCC（上拉）
Pxy （x=A~E, H y=0~15）	通用引脚。用作输入功能时，支持 5V 耐压的引脚输入电压不要超过 5V，不支持 5V 耐压的引脚输入电压不要超过 VCC。用作模拟输入时，模拟电压不要超过 VREFH/AVCC 不使用时悬空，或者接电阻到 VCC（上拉）/VSS（下拉）

4 电气特性

4.1 参数条件

若无另行说明，所有电压的都以 VSS 为基准。

4.1.1 最小值和最大值

所有最小值和最大值在最坏的条件下测得。

在每个表格下方的注解中说明为通过设计保证、综合评估的能到的数据，不会在生产线上进行测试。

4.1.2 典型数值

除非另有说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{CC}=3.3\text{V}$ 给出的。这些数据仅用于设计指导，并未经过测试。

4.1.3 典型曲线

除非特别说明，否则所有典型曲线未经测试，仅供设计参考。

4.1.4 负载电容

图 4-1（左）中显示了用于测量引脚参数的负载条件。

4.1.5 引脚输入电压

图 4-1（右）中显示了器件引脚上输入电压的测量方法。

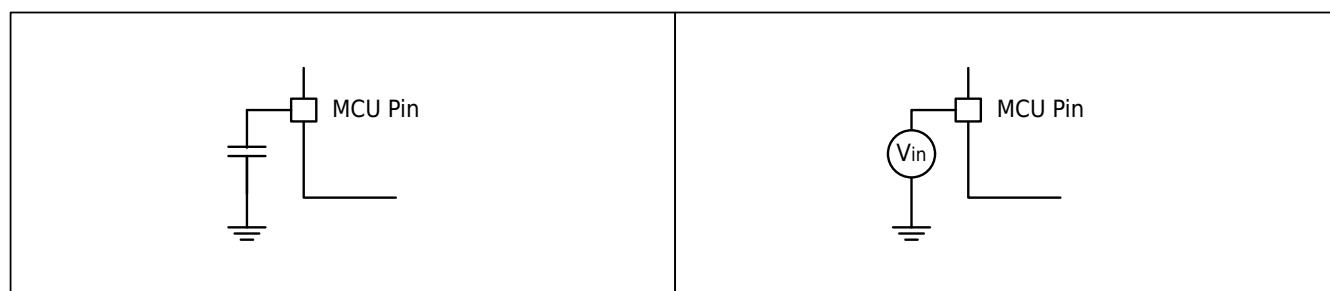


图 4-1 引脚负载条件（左）与输入电压测量（右）

4.1.6 电源方案

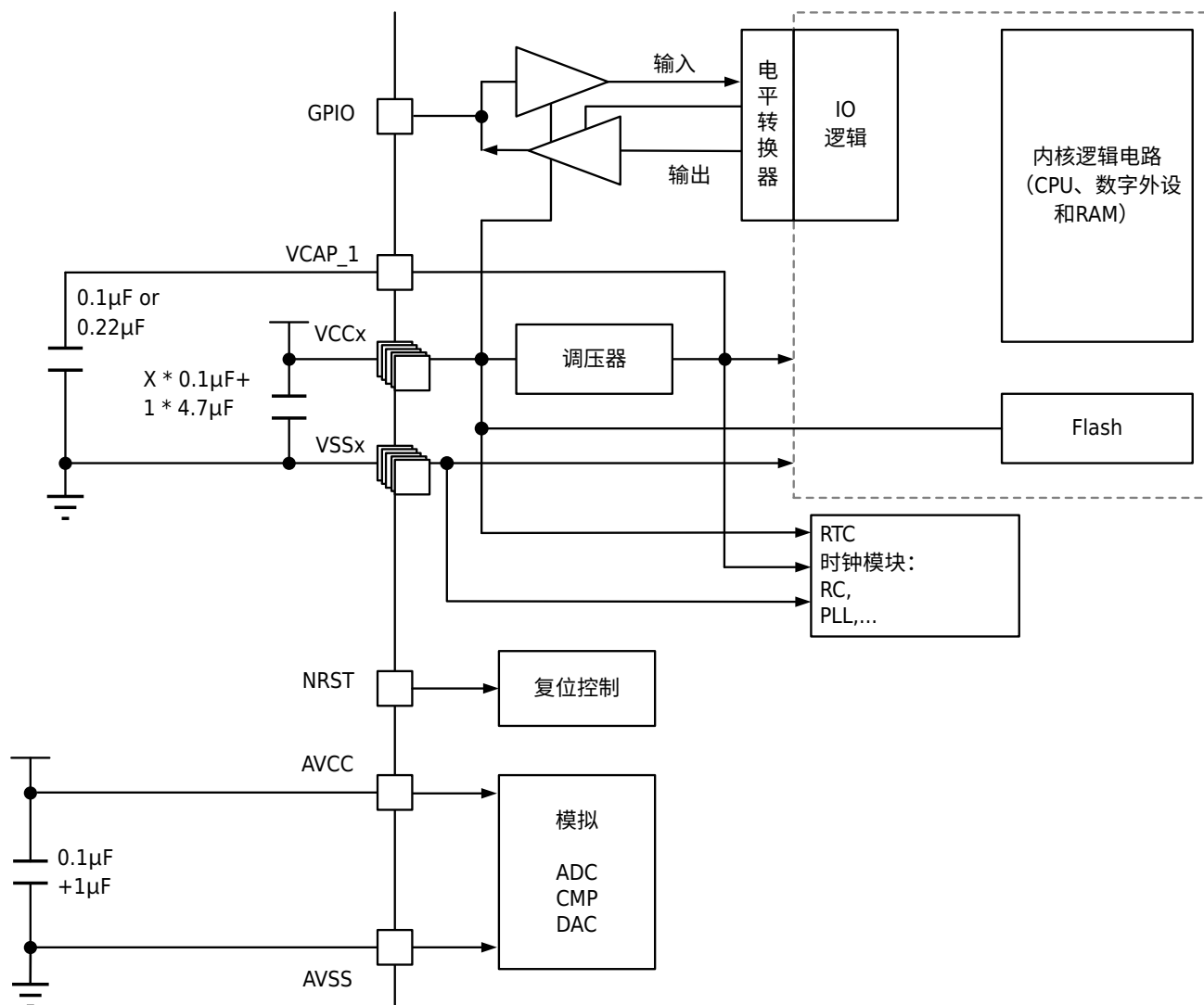


图 4-2 电源方案



说明

1. 4.7μF 陶瓷电容必须连至 VCC 引脚之一。
2. AVSS=VSS。
3. 每个电源对（例如 VCC/VSS，AVCC/AVSS...）必须使用上述的滤波陶瓷电容去耦。这些电容必须尽量靠近或低于 PCB 下面的适当引脚，以确保器件正常工作。不建议去掉滤波电容来降低 PCB 尺寸或成本，这可能导致器件工作不正常。

4.1.7 电流消耗测量

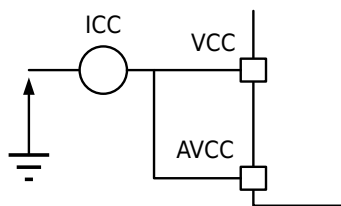


图 4-3 电流消耗测量方案

4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表中给出的值，可能会导致器件永久性地损坏。这些数值只是额定应力，并不意味着器件在这些条件下功能正常。长期工作在最大额定值条件下可能会影响器件的可靠性。

表 4-1 电压特性

符号	描述	最小值	最大值	单位
$V_{CC}-V_{SS}$	外部主电源电压（包括 AVCC、VCC） ⁽¹⁾	-0.3	4.0	V
V_{IN}	PA7、PA8、PC3~PC5 以外引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{CC}+4.0$ (最大 5.8V)	V
	PA7、PA8、PC3~PC5 引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{CC}+0.7$ (最大 4.0V)	
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差	-	50	mV
$V_{ESD(HBM)}$	静电放电电压（人体模型）	请参考“电气敏感性”		-



说明

1. 在允许的范围内，所有主电源（VCC、AVCC）和接地（VSS、AVSS）引脚必须始终连接到外部电源。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见表 4-2。

表 4-2 电流特性

符号	描述	最大值	单位
ΣI_{VCC}	流入所有 VCCx 电源线的总电流（拉电流） ⁽¹⁾	240	mA
ΣI_{VSS}	流出所有 VSSx 接地线的总电流（灌电流） ⁽¹⁾	-240	mA
I_{VCC}	流入每个 VCCx 电源线的最大电流（拉电流） ⁽¹⁾	100	mA
I_{VSS}	流出每个 VSSx 接地线的最大电流（灌电流） ⁽¹⁾	-100	mA
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	20	mA
	任意 I/O 和控制引脚上的输出拉电流	-20	mA
ΣI_{IO}	所有 I/O 和控制引脚上的总输出灌电流 ⁽²⁾	120	mA
	所有 I/O 和控制引脚上的总输出拉电流 ⁽²⁾	-120	mA



说明

1. 在允许的范围内，所有主电源（VCC、AVCC）和接地（VSS、AVSS）引脚必须始终连接到外部电源。
2. 此总输出电流必须正确分布在所有电源域内。此总输出电流适用于 64PINs 及以上封装；对于 48PINs 封装，总输出电流最大值为±80mA；对于 32PINs 封装，总输出电流最大值为±40mA。

表 4-3 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65~+150	°C
T_J	最大结温范围	-40~+125	°C

4.3 工作条件

4.3.1 通用工作条件

表 4-4 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	高速模式 PWRC2.DVS=0b11 PWRC3.DDAS=0b1111	-	-	200	MHz
		超低速模式 ⁽¹⁾ PWRC2.DVS=0b10 PWRC3.DDAS=0b0000	-	-	8	
$V_{\text{CC}}^{(1)}$	标准工作电压	-	1.8	-	3.6	V
$V_{\text{AVCC}}^{(1)}$	模拟工作电压	-	1.8	-	3.6	V
$V_{\text{IN}}^{(1)}$	5V 耐压引脚上的输入电压 ⁽²⁾⁽³⁾⁽⁴⁾	$2\text{V} \leq V_{\text{CC}} \leq 3.6\text{V}$ $2\text{V} \leq V_{\text{AVCC}} \leq 3.6\text{V}$	-0.3	-	5.5	V
		$V_{\text{CC}} < 2\text{V}$ $V_{\text{AVCC}} < 2\text{V}$	-0.3	-	5.2	
		-	-0.3	-	$V_{\text{CC}} + 0.3$	
	非 5V 耐压引脚上的输入电压 (PA7/PA8/PC3~5)	-	-0.3	-	$V_{\text{CC}} + 0.3$	
$T_{\text{J}}^{(1)}$	结温范围	-	-40	-	125	°C
$T_{\text{A}}^{(1)}$	工作温度范围	-	-40	-	105	°C



说明

1. 由综合评估得出，不在生产中测试。
2. 要使电压保持在高于 $V_{\text{CC}} + 0.3$ ，必须禁止内部上拉/下拉电阻。
3. 需保证器件的电源（VCC、AVCC）稳定后，此电压再加入到器件的 5V 耐压引脚。
4. 禁止此输入电压直接连接外部电源。建议通过 100Ω 以上的电阻串接外部电源。

4.3.2 上电和掉电时的工作条件

表 4-5 上电/掉电时的工作条件

符号	参数	最小值	最大值	单位
$t_{\text{VCC}}^{(1)}$	VCC 上升时间速率	20	20000	μs/V
	VCC 下降时间速率	20	20000	



说明

1. 由综合评估得出，不在生产中测试。

4.3.3 复位和电源控制模块特性

表 4-6 复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{BOR}	BOR 的监测电压	ICG1.BOR_LEV[1:0]=0b00	1.70	1.90	2.10	V
		ICG1.BOR_LEV[1:0]=0b01 ⁽¹⁾	1.80	2.00	2.20	V
		ICG1.BOR_LEV[1:0]=0b10 ⁽¹⁾	1.90	2.10	2.30	V
		ICG1.BOR_LEV[1:0]=0b11	2.10	2.30	2.50	V
V_{PVD1}	PVD1 监测电压 ⁽³⁾	PVD1LVL[2:0]=0b000	1.80	2.00	2.20	V
		PVD1LVL[2:0]=0b001 ⁽¹⁾	1.90	2.10	2.30	V
		PVD1LVL[2:0]=0b010 ⁽¹⁾	2.10	2.30	2.50	V
		PVD1LVL[2:0]=0b011 ⁽¹⁾	2.33	2.55	2.77	V
		PVD1LVL[2:0]=0b100 ⁽¹⁾	2.43	2.65	2.87	V
		PVD1LVL[2:0]=0b101 ⁽¹⁾	2.53	2.75	2.97	V
		PVD1LVL[2:0]=0b110 ⁽¹⁾	2.63	2.85	3.07	V
		PVD1LVL[2:0]=0b111	2.73	2.95	3.17	V
V_{PVD2}	PVD2 监测电压 ⁽³⁾	PVD2LVL[2:0]=0b000	1.90	2.10	2.30	V
		PVD2LVL[2:0]=0b001 ⁽¹⁾	2.10	2.30	2.50	V
		PVD2LVL[2:0]=0b010 ⁽¹⁾	2.33	2.55	2.77	V
		PVD2LVL[2:0]=0b011 ⁽¹⁾	2.43	2.65	2.87	V
		PVD2LVL[2:0]=0b100 ⁽¹⁾	2.53	2.75	2.97	V
		PVD2LVL[2:0]=0b101 ⁽¹⁾	2.63	2.85	3.07	V
		PVD2LVL[2:0]=0b110	2.73	2.95	3.17	V
		PVD2LVL[2:0]=0b111 ⁽⁵⁾	0.90	1.10	1.30	V
$V_{pvdhyst}^{(1)}$	PVD1/2 的迟滞 ⁽⁴⁾	-	-	100	-	mV
V_{POR}	上电/掉电复位阈值	上升沿 VPOR	1.56	1.68	1.80	V
		下降沿 VPDR	1.52	1.64	1.76	V
$V_{PORhyst}^{(1)}$	POR 迟滞	-	-	40	-	mV
$I_{RUSH}^{(1)}$	调压器上电时的浪涌电流(POR 或从待机唤醒)	-	-	100	150	mA
$T_{NRST}^{(1)}$	NRST 复位最低宽度	-	10	-	-	μs
$T_{IPVD1}^{(2)}$	PVD1 复位解除时间	-	300	380	460	μs
$T_{IPVD2}^{(2)}$	PVD2 复位解除时间	-	300	380	460	μs
$T_{INRST}^{(2)}$	NRST 复位解除时间	-	25	35	50	μs
$T_{RIPT}^{(2)}$	内部复位时间	-	140	160	200	μs

符号	参数	条件	最小值	典型值	最大值	单位
$T_{RSTBOR}^{(2)}$	BOR 复位解除时间	-	440	520	610	μs
$T_{RSTPOR}^{(2)}$	上电复位解除时间	-	-	2500	3000	μs



说明

- 由综合评估得出，不在生产中测试。
- 由设计保证，不在生产中测试。
- PVD1 监测电压是 VCC 电压下降时的监测电压；在 PVD2LVL[2:0]设置为 0b111 时 PVD2 监测电压是 PVDEXINP 电压下降时的监测电压，在 PVD2LVD[2:0]设置为 0b111 之外的值时 PVD2 监测电压是 VCC 电压下降时的监测电压。
- PVD1/2 的迟滞是 VCC 或 PVDEXINP 上升时的监测电压与下降时的监测电压的差值。
VCC 上升时的 PVD1 监测电压= $V_{PVD1}+V_{pvd}hyst$ ；
VCC 或 PVDEXINP 上升时的 PVD2 监测电压= $V_{PVD2}+V_{pvd}hyst$ 。
- PVD2LVDL[2:0]=0b111 时，比较电压是 PVD2EXINP 管脚的外部输入比较电压。

4.3.4 供电电流特性

电流消耗受多个参数和因素影响，其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及运行的代码等。
图 4-3 介绍了电流消耗的测量方法。本节所述各种模式下的电流消耗测量值都是在实验室条件下通过一套运行在 FLASH 的测试代码得出。

具体条件如下：

- 所有 I/O 引脚都处于高阻模式（无负载）。
- 时钟频率选择高速模式 $f_{HCLK}=200MHz/100MHz/24MHz$ 和超低速模式 $f_{HCLK}=8MHz/1MHz$ 。
- 功耗模式分为：正常工作模式 ICC_RUN，休眠模式 ICC_SLEEP，停止模式 ICC_STP，掉电模式 ICC_PD，Dhrystone 工作模式 ICC_DHRYSTONE。
- 外设时钟 ON/OFF 请参考具体电流条件说明。
- 高速模式 $f_{HCLK}=200MHz/100MHz$ 下 PLL 处于开启状态。

表 4-7 高速模式电流消耗 1

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=200MHz$ $T_A=-40^{\circ}C$ $V_{CC}=3.3V$	-	23	-	mA
	while(1),全模块时钟 ON		-	37	-	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF		-	24	-	mA
	CACHE ON		-	24	-	mA
ICC_SLEEP	全模块时钟 OFF		-	14	-	mA
	全模块时钟 ON		-	28	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=200MHz$ $T_A=25^{\circ}C$ $V_{CC}=3.3V$	-	23	-	mA
	while(1),全模块时钟 ON		-	37	-	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF		-	24	-	mA
	CACHE ON		-	24	-	mA
ICC_SLEEP	全模块时钟 OFF		-	14	-	mA
	全模块时钟 ON		-	28	-	mA

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN ⁽¹⁾	while(1),全模块时钟 OFF	$f_{HCLK}=200\text{MHz}$	-	-	29	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	43	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	30	mA
	CACHE ON		-	-	30	mA
ICC_SLEEP ⁽¹⁾	全模块时钟 OFF		-	-	20	mA
	全模块时钟 ON		-	-	34	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=200\text{MHz}$	-	-	33	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	48	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	34	mA
	CACHE ON		-	-	34	mA
ICC_SLEEP	全模块时钟 OFF		-	-	24	mA
	全模块时钟 ON		-	-	39	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-8 高速模式电流消耗 2⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=100\text{MHz}$	-	12	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	20	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	13	-	mA
	CACHE ON		-	13	-	mA
ICC_SLEEP	全模块时钟 OFF		-	8	-	mA
	全模块时钟 ON		-	15	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=100\text{MHz}$	-	13	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	20	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	14	-	mA
	CACHE ON		-	14	-	mA
ICC_SLEEP	全模块时钟 OFF		-	8	-	mA
	全模块时钟 ON		-	16	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=100\text{MHz}$	-	-	19	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	27	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	20	mA
	CACHE ON		-	-	20	mA
ICC_SLEEP	全模块时钟 OFF		-	-	14	mA
	全模块时钟 ON		-	-	22	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=100\text{MHz}$	-	-	23	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	31	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	24	mA
	CACHE ON		-	-	24	mA
ICC_SLEEP	全模块时钟 OFF		-	-	18	mA
	全模块时钟 ON		-	-	27	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-9 高速模式电流消耗 3⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	4	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	8	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	5	-	mA
ICC_SLEEP	全模块时钟 OFF		-	3	-	mA
	全模块时钟 ON		-	6	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	4	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	8	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	5	-	mA
ICC_SLEEP	全模块时钟 OFF		-	3	-	mA
	全模块时钟 ON		-	7	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	-	10	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	14	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	12	mA
ICC_SLEEP	全模块时钟 OFF		-	-	9	mA
	全模块时钟 ON		-	-	13	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	-	15	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	19	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	17	mA
ICC_SLEEP	全模块时钟 OFF		-	-	14	mA
	全模块时钟 ON		-	-	18	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-10 超低速模式电流消耗 1

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	2	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	4	-	mA
ICC_DHRYSTONE	CACHE OFF ⁽¹⁾	$V_{CC}=3.3\text{V}$	-	2.2	-	mA
ICC_SLEEP	全模块时钟 OFF		-	1	-	mA
	全模块时钟 ON		-	3	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	2	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	4	-	mA
ICC_DHRYSTONE	CACHE OFF ⁽¹⁾	$V_{CC}=3.3\text{V}$	-	2.3	-	mA
ICC_SLEEP	全模块时钟 OFF		-	1	-	mA
	全模块时钟 ON		-	3	-	mA
ICC_RUN ⁽¹⁾	while(1),全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	-	5	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	7	mA
ICC_DHRYSTONE	CACHE OFF ⁽¹⁾	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	5.5	mA
ICC_SLEEP ⁽¹⁾	全模块时钟 OFF		-	-	4.6	mA
	全模块时钟 ON		-	-	6.7	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	-	8	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	10	mA
ICC_DHRYSTONE	CACHE OFF ⁽¹⁾	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	9	mA

符号	参数	条件	最小值	典型值	最大值	单位
ICC_SLEEP	全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	-	7.5	mA
	全模块时钟 ON	$T_A=105^{\circ}\text{C}$ $V_{CC}=1.8\sim 3.6\text{V}$	-	-	9.5	mA



说明

1. 由综合评估得出, 不在生产中测试。

表 4-11 超低速模式电流消耗 2⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=1\text{MHz}$	-	1	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	2.5	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	1	-	mA
ICC_SLEEP	全模块时钟 OFF		-	0.5	-	mA
	全模块时钟 ON		-	2	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=1\text{MHz}$	-	1	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	2.5	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=3.3\text{V}$	-	1	-	mA
ICC_SLEEP	全模块时钟 OFF		-	0.7	-	mA
	全模块时钟 ON		-	2.2	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=1\text{MHz}$	-	-	4.5	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	6	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	4.7	mA
ICC_SLEEP	全模块时钟 OFF		-	-	4.3	mA
	全模块时钟 ON		-	-	5.9	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=1\text{MHz}$	-	-	7.5	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	9	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	8	mA
ICC_SLEEP	全模块时钟 OFF		-	-	7	mA
	全模块时钟 ON		-	-	8.8	mA



说明

1. 由综合评估得出, 不在生产中测试。

表 4-12 低功耗模式电流消耗

符号	参数	条件	最小值	典型值	最大值	单位
ICC_STP (停止模式)	PWC_PWRC1.STPDAS=0b00	$T_A=-40^{\circ}\text{C}$	-	188	-	μA
	PWC_PWRC1.STPDAS=0b11	$V_{CC}=3.3\text{V}$	-	45	-	μA
	PWC_PWRC1.STPDAS=0b00	$T_A=25^{\circ}\text{C}$	-	455	-	μA
	PWC_PWRC1.STPDAS=0b11	$V_{CC}=3.3\text{V}$	-	304	-	μA
	PWC_PWRC1.STPDAS=0b00 ⁽¹⁾	$T_A=85^{\circ}\text{C}$	-	-	3.9	mA
	PWC_PWRC1.STPDAS=0b11 ⁽¹⁾	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	3.6	mA
	PWC_PWRC1.STPDAS=0b00	$T_A=105^{\circ}\text{C}$	-	-	6.5	mA
	PWC_PWRC1.STPDAS=0b11	$V_{CC}=1.8\sim 3.6\text{V}$	-	-	6.2	mA
ICC_PD (掉电模式)	掉电模式 1	$T_A=-40^{\circ}\text{C}$	-	10	-	μA
	掉电模式 2	$V_{CC}=3.3\text{V}$	-	4	-	μA
	掉电模式 3		-	1.7	-	μA

符号	参数	条件	最小值	典型值	最大值	单位
ICC_PD (掉电模式)	掉电模式 4	$T_A = -40^{\circ}\text{C}$	-	1.7	-	μA
	掉电模式 2+XTAL32+RTC ⁽¹⁾	$V_{CC}=3.3\text{V}$	-	6	-	μA
	掉电模式 2+LRC+RTC ⁽¹⁾		-	9	-	μA
	掉电模式 1	$T_A = 25^{\circ}\text{C}$	-	11	-	μA
	掉电模式 2	$V_{CC}=3.3\text{V}$	-	4.5	-	μA
	掉电模式 3		-	2.1	-	μA
	掉电模式 4		-	2.1	-	μA
	掉电模式 2+XTAL32+RTC ⁽¹⁾		-	7	-	μA
	掉电模式 2+LRC+RTC ⁽¹⁾		-	9	-	μA
	掉电模式 1 ⁽¹⁾	$T_A = 85^{\circ}\text{C}$ $V_{CC}=1.8\sim 3.6\text{V}$	-	-	20	μA
	掉电模式 2 ⁽¹⁾		-	-	18	μA
	掉电模式 3 ⁽¹⁾		-	-	11	μA
	掉电模式 4 ⁽¹⁾		-	-	11	μA
	掉电模式 2+XTAL32+RTC ⁽¹⁾		-	-	20	μA
	掉电模式 2+LRC+RTC ⁽¹⁾		-	-	20	μA
	掉电模式 1	$T_A = 105^{\circ}\text{C}$ $V_{CC}=1.8\sim 3.6\text{V}$	-	-	31	μA
	掉电模式 2		-	-	29	μA
	掉电模式 3		-	-	21	μA
	掉电模式 4		-	-	21	μA
	掉电模式 2+XTAL32+RTC ⁽¹⁾		-	-	31	μA
	掉电模式 2+LRC+RTC ⁽¹⁾		-	-	31	μA



说明

1. 由综合评估得出，不在生产中测试。

表 4-13 模拟模块电流消耗⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_MODULE	XTAL 振荡模式高驱动 24MHz	$T_A = 25^{\circ}\text{C}$	-	1.8	-	mA
	振荡模式中驱动 16MHz	$V_{CC}=V_{AVCC}=3.3\text{V}$	-	1.0	-	mA
	振荡模式低驱动 10MHz		-	0.8	-	mA
	振荡模式超低驱动 8MHz		-	0.6	-	mA
	XTAL 32.768kHz		-	1.1	-	μA
	HRC		-	0.3	-	mA
	PLLH (VCO=1200MHz)		-	3.5	-	mA
	PLLH (VCO=600MHz)		-	1.8	-	mA
	ADC		-	1.3	-	mA
	DAC (放大器允许)		-	0.8	-	mA
	DAC (放大器禁止)		-	0.2	-	mA
	CMP		-	0.3	-	mA



说明

1. 由综合评估得出，不在生产中测试。

4.3.5 低功耗模式唤醒时序

唤醒时间测量方法为，从唤醒事件触发至 CPU 执行的第一条指令：

- 对于停止或睡眠模式：唤醒事件为 WFE。
- WKUP 引脚用于从待机、停止、睡眠模式唤醒。所有时序均在环境温度及 $V_{CC}=3.3V$ 测试得出。

表 4-14 低功耗模式唤醒时间⁽²⁾

符号	参数	条件	典型值	最大值	单位
T_{STOP}	从停止模式唤醒	系统时钟为 MRC	8	15	μs
$T_{PD1}^{(1)}$	从掉电模式 1 唤醒	VCAP_1 总容量为 $0.094\mu F$ 或者 $0.1\mu F$	25	35	μs
		VCAP_1 总容量为 $0.2\mu F$ 或者 $0.22\mu F$	30	40	μs
$T_{PD2}^{(1)}$	从掉电模式 2 唤醒	VCAP_1 总容量为 $0.094\mu F$ 或者 $0.1\mu F$	70	80	μs
		VCAP_1 总容量为 $0.2\mu F$ 或者 $0.22\mu F$	75	85	μs
$T_{PD3}^{(1)}$	从掉电模式 3 唤醒	VCAP_1 总容量为 $0.094\mu F$ 或者 $0.1\mu F$	2500	3000	μs
		VCAP_1 总容量为 $0.2\mu F$ 或者 $0.22\mu F$	2500	3000	μs
$T_{PD4}^{(1)}$	从掉电模式 4 唤醒	VCAP_1 总容量为 $0.094\mu F$ 或者 $0.1\mu F$	130	140	μs
		VCAP_1 总容量为 $0.2\mu F$ 或者 $0.22\mu F$	140	150	μs



说明

1. 芯片的 VCAP_1 总容量必须与 PWC_PWRC1.PDTS 位的赋值相匹配。VCAP_1 的总容量为 $0.2\mu F$ 或者 $0.22\mu F$ 时，需要在进入掉电模式之前确保 PWC_PWRC1.PDTS 位清零。VCAP_1 的总容量为 $0.094\mu F$ 或者 $0.1\mu F$ 时，需要在进入掉电模式之前确保 PWC_PWRC1.PDTS 位置位。
2. 由综合评估得出，不在生产中测试。

4.3.6 外部时钟源特性

4.3.6.1 外部源产生的高速外部用户时钟

在旁路模式，XTAL 振荡器关闭，输入引脚为标准 I/O。外部时钟信号必须考虑下表中对外部输入时钟特性的要求。

表 4-15 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{XTAL_EXT}	用户外部时钟源频率	-	1 ⁽¹⁾	-	25	MHz
$V_{IH_XTAL}^{(1)}$	XTAL_EXT 输入引脚高电平电压	-	$0.8 \cdot V_{CC}$	-	V_{CC}	V
$V_{IL_XTAL}^{(1)}$	XTAL_EXT 输入引脚低电平电压	-	V_{SS}	-	$0.2 \cdot V_{CC}$	
$t_{r(XTAL)}^{(1)}$	XTAL_EXT 上升或下降时间	-	-	-	5	ns
$t_{f(XTAL)}^{(1)}$						
$Duty_{(XTAL)}^{(1)}$	占空比	-	40	-	60	%



说明

1. 由综合评估得出，不在生产中测试。

4.3.6.2 晶振/陶瓷谐振器产生的高速外部时钟

高速外部（XTAL）时钟可以使用一个 4~25MHz 的晶振/陶瓷谐振振荡器产生。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 4-16 XTAL 4~25MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{XTAL_IN}}^{(1)}$	振荡器频率	-	4	-	25	MHz
R_F	反馈电阻	-	-	300	-	kΩ
$A_{\text{XTAL}}^{(2)(3)}$	XTAL 精度	-	-500	-	500	ppm
$G_{\text{mmax}}^{(2)}$	振荡器 Gm	起振	4	-	-	mA/V
$t_{\text{SU(XTAL)}}^{(1)(4)}$	启动时间	V_{CC} 稳定，晶振=8MHz	-	2.0	-	ms
		V_{CC} 稳定，晶振=4MHz	-	4.0	-	ms

 **说明**

1. 由综合评估得出，不在生产中测试。

2. 由设计保证，不在生产中测试。

3. 此参数取决于应用系统上使用到的谐振器。

4. $t_{\text{SU(XTAL)}}$ 是起振时间，即从软件使能 XTAL 开始测量，直至得到稳定的 8MHz 振荡频率这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

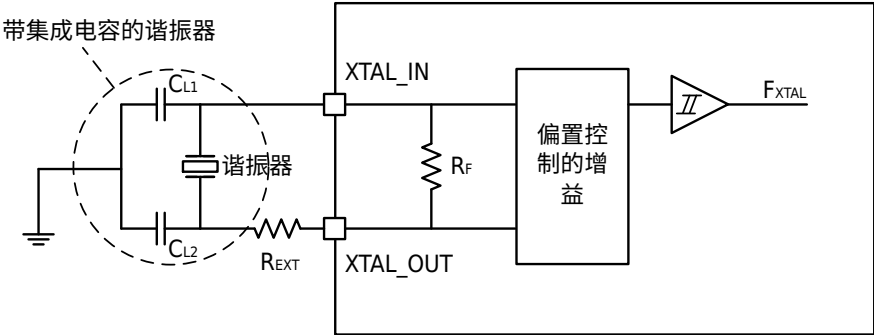


图 4-4 采用 8MHz 晶振的典型应用

 **说明**

● 对于 C_{L1} 和 C_{L2} ，建议使用专为高频应用设计、可满足晶振或谐振器的要求的高质量外部陶瓷电容（请参见上图）。 C_{L1} 和 C_{L2} 的大小通常相同， $C_{L1}=C_{L2}=2*(C_L-C_S)$ 。 C_S 是 PCB 与 MCU 引脚（XTAL_IN、XTAL_OUT）之间的寄生电容总和。 C_L 为晶振或陶瓷谐振器的负载电容，请咨询晶振谐振器制造商。

● 阻尼电阻 R_{EXT} 的取值取决于晶振特性。

4.3.6.3 晶振/陶瓷谐振器产生的低速外部时钟

低速外部时钟可以使用一个由 32.768kHz 的晶振/陶瓷谐振器构成的振荡器产生。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 4-17 XTAL32 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
$F_{XTAL32}^{(1)}$	频率	-	-	32.768	-	kHz
R_F	反馈电阻	-	-	15	-	MΩ
$I_{DD_XTAL32}^{(1)}$	功耗	XTAL32DRV[2:0]=0b000	-	0.8	-	μA
$A_{XTAL32}^{(2)(3)}$	XTAL32 精度	-	-500	-	500	ppm
$G_{mmax}^{(2)}$	振荡器 G_m	XTAL32DRV[2:0]=0b000	5.6	-	-	μA/V
$T_{SUXTAL32}^{(1)}$ (4)	启动时间	V_{CC} 稳定状态下	-	2	-	s

 **说明**

1. 由综合评估得出，不在生产中测试。

2. 由设计保证，不在生产中测试。

3. 此参数取决于应用系统上使用到的谐振器。

4. $T_{SUXTAL32}$ 是起振时间，即从软件使能 XTAL32 开始测量，直至得到稳定的 32.768kHz 振荡频率这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

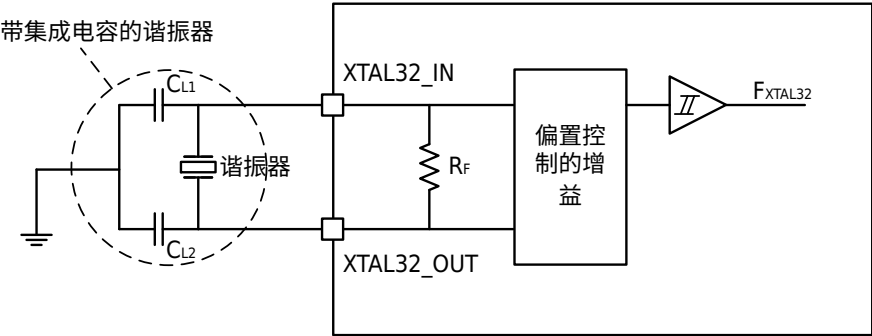


图 4-5 采用 32.768kHz 晶振的典型应用

 **说明**

对于 C_{L1} 和 C_{L2} ，建议使用高质量外部陶瓷电容（请参见上图）。 C_{L1} 和 C_{L2} 的大小通常相同， $C_{L1}=C_{L2}=2*(C_L-C_S)$ 。 C_S 是 PCB 与 MCU 引脚（XTAL32_IN、XTAL32_OUT）之间的寄生电容总和。如果 C_{L1} 或 C_{L2} 大于 18pF，建议设置 XTAL32DRV[2:0]=0b001（高驱动，功耗典型值增加 0.2μA）。 C_L 为晶振或陶瓷谐振器的负载电容，请咨询晶振谐振器制造商。

4.3.7 内部时钟源特性

4.3.7.1 内部高速（HRC）振荡器

表 4-18 HRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{HRC}	频率	模式 1	-	16	-	MHz
		模式 2	-	20	-	
	用户调整刻度 ⁽¹⁾	-	-	-	0.2	%
	频率精度	T _A =-40~105℃	-2	-	2	%
		T _A =-20~105℃ ⁽¹⁾	-1.5	-	1.5	%
t _{st(HRC)}	HRC 振荡器振荡稳定时间	-	-	-	15	μs



说明

1. 由综合评估得出，不在生产中测试。

4.3.7.2 内部中速（MRC）振荡器

表 4-19 MRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{MRC}	频率	-	7.2	8	8.8	MHz
t _{st(MRC)}	MRC 振荡器稳定时间	-	-	-	3	μs

4.3.7.3 内部低速（LRC）振荡器

表 4-20 LRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{LRC}	频率	-	27.853	32.768	37.683	kHz
t _{st(LRC)}	LRC 振荡器稳定时间	-	-	-	36	μs

4.3.7.4 SWDT 专用内部低速（SWDTLRC）振荡器

表 4-21 SWDTLRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{SWDTLRC}	频率	-	9	10	11	kHz
t _{st(SWDTLRC)}	SWDTLRC 振荡器稳定时间	-	-	-	57.1	μs

4.3.8 PLL 特性

表 4-22 系统 PLL (PLLH) 主要性能指标

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{PLL_IN}}^{(2)}$	PLL 鉴相鉴频器 (PFD) 的输入时钟	-	4	-	25	MHz
$f_{\text{PLL_OUT}}^{(1)}$	PLL 倍增器的输出时钟	-	37.5	-	600	MHz
$f_{\text{VCO_OUT}}$	PLL 压控振荡器 (VCO) 的输出	-	600	-	1200	MHz
$\text{Jitter}_{\text{PLL}}^{(1)}$	周期抖动	PLL PFD 输入时钟为 8MHz, 系统时钟为 120MHz, 峰峰值	-	± 70	-	ps
	相邻周期间抖动	PLL PFD 输入时钟为 8MHz, 系统时钟为 120MHz, 峰峰值	-	± 100	-	ps
$t_{\text{LOCK}}^{(1)}$	PLL 锁定时间	-	-	80	120	μs



说明

1. 由综合评估得出, 不在生产中测试。
2. 推荐使用较高的输入时钟, 以获得良好的抖动特性。

4.3.9 存储器 (闪存) 特性

器件交付给客户时, 闪存已被擦除。

表 4-23 闪存特性

符号	参数	条件	最小值	典型值	最大值	单位
$I_{\text{VCC}}^{(1)}$	供电电流	读模式, $V_{\text{CC}}=1.8\sim 3.6\text{V}$	-	-	5	mA
		编程模式, $V_{\text{CC}}=1.8\sim 3.6\text{V}$	-	-	10	mA
		块擦除模式, $V_{\text{CC}}=1.8\sim 3.6\text{V}$	-	-	10	mA
		全擦除模式, $V_{\text{CC}}=1.8\sim 3.6\text{V}$	-	-	10	mA



说明

1. 由设计保证, 不在生产中测试。

表 4-24 闪存编程擦除时间

符号	参数	条件	最小值	典型值	最大值	单位
T_{prog}	字编程时间	单编程模式	$43+2*t_{\text{HCLK}}$	$48+4*t_{\text{HCLK}}$	$53+6*t_{\text{HCLK}}$	μs
	字编程时间	连续编程模式	$12+2*t_{\text{HCLK}}$	$14+4*t_{\text{HCLK}}$	$16+6*t_{\text{HCLK}}$	μs
T_{erase}	块擦除时间	-	$16+2*t_{\text{HCLK}}$	$18+4*t_{\text{HCLK}}$	$20+6*t_{\text{HCLK}}$	ms
T_{mas}	全擦除时间	-	$16+2*t_{\text{HCLK}}$	$18+4*t_{\text{HCLK}}$	$20+6*t_{\text{HCLK}}$	ms



说明

1. t_{HCLK} 为 CPU 时钟的 1 周期。

表 4-25 闪存可擦写次数和数据保存期限⁽¹⁾

符号	参数	条件	最小值	单位
N_{end}	编程，块擦除次数	$T_A=85^{\circ}\text{C}$	10	千次
N_{end}	全擦除次数	$T_A=85^{\circ}\text{C}$	10	千次
T_{ret}	数据保存期限	$T_A=85^{\circ}\text{C}$ ，after 10 kcycles	10	年



说明

1. 由综合评估得出，不在生产中测试。

4.3.10 电气敏感性

使用特定的测量方法对芯片进行不同的测试（ESD、LU），以确定其在电气敏感性方面的性能。

4.3.10.1 静电放电（ESD）

根据每种引脚组合，对每个样本的引脚施加静电放电。此项测试符合 ANSI/ESDA/JEDEC JS-001、ANSI/ESDA/JEDEC JS-002 标准。

表 4-26 ESD 特性⁽¹⁾

符号	参数	条件	最大值	单位
$V_{\text{ESD(HBM)}}$	静电放电电压（人体模型）	$T_A=+25^{\circ}\text{C}$ ，符合 ANSI/ESDA/JEDEC JS-001 标准	4000	V
$V_{\text{ESD(CDM)}}$	静电放电电压（充电设备模型）	$T_A=+25^{\circ}\text{C}$ ，符合 ANSI/ESDA/JEDEC JS-002 标准	1000	V



说明

1. 由综合评估得出，不在生产中测试。

4.3.10.2 静态 Latch-up

为评估静态 Latch-up 性能，需要对芯片执行两项互补的静态 Latch-up 测试：

- 对每个电源和模拟输入引脚施加过压
- 对其他输入、输出和可配置 I/O 引脚施加电流注入

这些测试符合 EIA/JESD 78A IC Latch-up 标准。

表 4-27 静态 Latch-up 特性⁽¹⁾

符号	参数	条件	最大值	单位
LU	静态 Latch-up	$T_A=+105^{\circ}\text{C}$ ，符合 JESD78A 标准	200	mA



说明

1. 由综合评估得出，不在生产中测试。

4.3.11 I/O 端口特性

常规输入/输出特性

表 4-28 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	Schmitt 输入低电平	$1.8 \leq V_{CC} \leq 3.6$	-	-	$0.3V_{CC}$	V
V_{IH}	Schmitt 输入高电平	$1.8 \leq V_{CC} \leq 3.6$	$0.7V_{CC}$	-	-	V
$V_{HYS}^{(1)}$	Schmitt 输入迟滞	$1.8 \leq V_{CC} \leq 3.6$	0.1	0.2	-	V
V_{IL}	CMOS 输入低电平	$1.8 \leq V_{CC} \leq 3.6$	-	-	$0.3V_{CC}$	V
V_{IH}	CMOS 输入高电平	$1.8 \leq V_{CC} \leq 3.6$	$0.7V_{CC}$	-	-	V
TTL_V_{IL}	CMOS/Schmitt 兼容 TTL 输入低电平	$2.7 \leq V_{CC} \leq 3.6$	-	-	0.8	V
TTL_V_{IH}	CMOS/Schmitt 兼容 TTL 输入高电平	$2.7 \leq V_{CC} \leq 3.6$	2.2	-	-	V
$F_{max(in)}^{(1)}$	Schmitt 输入最高频率	$2.7 \leq V_{CC} \leq 3.6$	-	-	40	MHz
		$1.8 \leq V_{CC} < 2.7$	-	-	20	MHz
	CMOS 输入最高频率	$2.7 \leq V_{CC} \leq 3.6$	-	-	80	MHz
		$1.8 \leq V_{CC} < 2.7$	-	-	40	MHz
I_{LKG}	I/O 输入泄露电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	1	μA
		$V_{IN} = 5.5V^{(2)}$	-	-	10	μA
$R_{PU}^{(3)}$	弱上拉等效电阻	$V_{IN} = V_{SS}$ $1.8 \leq V_{CC} \leq 3.6$	10	30	150	k Ω
$R_{PD}^{(3)}$	弱下拉等效电阻	$V_{IN} = V_{CC}$ $1.8 \leq V_{CC} \leq 3.6$	5	20	50	k Ω
$C_{IO}^{(2)}$	I/O 引脚电容	PB11/MD	-	-	10	pF
		上述以外其他输入引脚	-	-	5	pF



说明

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 要使电压保持在高于 $V_{CC} + 0.3V$ ，必须禁止内部上拉/下拉电阻。

输出电流

GPIO（通用输入/输出）可提供最大 $\pm 20mA$ 的拉电流或灌电流。

输出电压

表 4-29 输出电压特性

驱动设置	符号	参数	条件	最小值	典型值	最大值	单位
低驱动	$V_{OL}^{(1)}$	低电平输出	$I_{IO} = \pm 1.5\text{mA}$	-	-	0.6	V
	$V_{OH}^{(2)}$	高电平输出	$1.8 \leq V_{CC} < 2.7$	$V_{CC} - 0.6$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO} = \pm 3\text{mA}$	-	-	0.6	V
	$V_{OH}^{(2)}$	高电平输出	$2.7 \leq V_{CC} \leq 3.6$	$V_{CC} - 0.6$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO} = \pm 6\text{mA}$	-	-	1.3	V
	$V_{OH}^{(2)}$	高电平输出	$2.7 \leq V_{CC} \leq 3.6$	$V_{CC} - 1.3$	-	-	V
中驱动	$V_{OL}^{(1)}$	低电平输出	$I_{IO} = \pm 3\text{mA}$	-	-	0.4	V
	$V_{OH}^{(2)}$	高电平输出	$1.8 \leq V_{CC} < 2.7$	$V_{CC} - 0.4$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO} = \pm 5\text{mA}$	-	-	0.4	V
	$V_{OH}^{(2)}$	高电平输出	$2.7 \leq V_{CC} \leq 3.6$	$V_{CC} - 0.4$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO} = \pm 12\text{mA}$	-	-	1.3	V
	$V_{OH}^{(2)}$	高电平输出	$2.7 \leq V_{CC} \leq 3.6$	$V_{CC} - 1.3$	-	-	V
高驱动	$V_{OL}^{(1)}$	低电平输出	$I_{IO} = \pm 6\text{mA}$	-	-	0.4	V
	$V_{OH}^{(2)}$	高电平输出	$1.8 \leq V_{CC} < 2.7$	$V_{CC} - 0.4$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO} = \pm 8\text{mA}$	-	-	0.4	V
	$V_{OH}^{(2)}$	高电平输出	$2.7 \leq V_{CC} \leq 3.6$	$V_{CC} - 0.4$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO} = \pm 20\text{mA}$	-	-	1.3	V
	$V_{OH}^{(2)}$	高电平输出	$2.7 \leq V_{CC} \leq 3.6$	$V_{CC} - 1.3$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO} = \pm 20\text{mA}$	-	-	0.88	V
	$V_{OH}^{(2)}$	高电平输出	$3.0 \leq V_{CC} \leq 3.6$	$V_{CC} - 0.88$	-	-	V



说明

- 器件的 I_{IO} 灌电流必须一直考虑表 4-2 中规定的绝对最大额定。 I_{IO} (I/O 端口和控制引脚) 之和一定不能超过 I_{VSS} 。
- 器件的 I_{IO} 拉电流必须始终遵循表 4-2 所列的绝对最大额定值, I_{IO} (I/O 端口和控制引脚) 的总和不得超过 I_{VCC} 。

输入/输出交流特性

表 4-30 I/O 交流特性⁽¹⁾

驱动设置	符号	参数	条件	最小值	典型值	最大值	单位
低驱动	$f_{\max(\text{IO})\text{out}}^{(2)}$	最大频率	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	20	MHz
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	10	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	40	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	20	
	$t_{f(\text{IO})\text{out}}$ $t_{r(\text{IO})\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	15	ns
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	25	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	7.5	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	15	
中驱动	$f_{\max(\text{IO})\text{out}}^{(2)}$	最大频率	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	45	MHz
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	22.5	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	90	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	45	
	$t_{f(\text{IO})\text{out}}$ $t_{r(\text{IO})\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	6	ns
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	10	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	4	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	6	
高驱动	$f_{\max(\text{IO})\text{out}}^{(2)}$	最大频率	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	100	MHz
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	50	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	100	
	$t_{f(\text{IO})\text{out}}$ $t_{r(\text{IO})\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	4	ns
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	6	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	2.5	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	3.5	



说明

1. 由综合评估得出，不在生产中测试。
2. 最大频率在下图中定义。
3. 负载电容 C_L 必须将 PCB 和 MCU 引脚的电容考虑在内（MD 引脚 PB11 与电路板的电容可粗略地估算为 15pF；其他引脚与电路板的电容可粗略地估算为 10pF）。

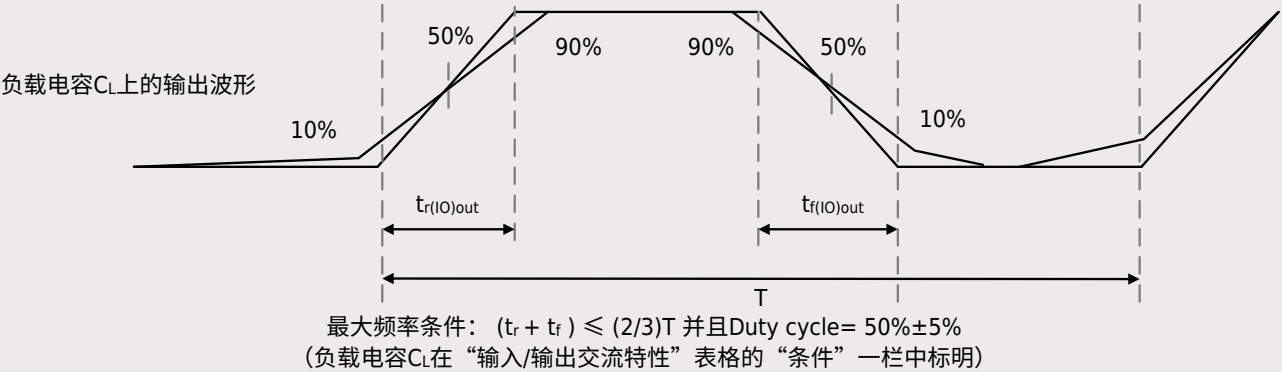


图 4-6 I/O 交流特性定义

4.3.12 I2C 接口特性

表 4-31 I2C 电气特性

符号	参数	标准模式 (SM)		快速模式 (FM)		单位
		最小值	最大值	最小值	最大值	
$f_{SCL}^{(1)}$	SCL 频率	0	100	0	400	kHz
$t_{HD;STA}^{(1)}$	开始条件/重新开始条件 Hold	4.0	-	0.6	-	μs
$t_{LOW}^{(1)}$	SCL 低电平	4.7	-	1.3	-	μs
$t_{HIGH}^{(1)}$	SCL 高电平	4	-	0.6	-	μs
$t_{SU;STA}^{(1)}$	重新开始条件 Setup	4.7	-	0.6	-	μs
$t_{HD;DAT}$	数据 Hold	0	-	0	-	μs
$t_{SU;DAT}$	数据 Setup	$30 + t_{I2C \text{ 基准}}$ 时钟周期 ⁽²⁾	-	$30 + t_{I2C \text{ 基准}}$ 时钟周期 ⁽²⁾	-	ns
$t_R^{(1)}$	SCL/SDA 的上升时间	-	1000	-	300	ns
$t_F^{(1)}$	SCL/SDA 的下降时间	-	300	-	300	ns
$t_{SU;STO}^{(1)}$	停止条件 Setup	4	-	0.6	-	μs
$t_{BUF}^{(1)}$	停止条件到开始条件间的 BUS 空闲时间	4.7	-	1.3	-	μs
$C_b^{(1)}$	负载电容	-	400	-	400	pF



说明

1. 由综合评估得出，不在生产中测试。
2. $t_{I2C \text{ 基准}}$ 时钟周期即 I2C 基准时钟周期，由 I2C_CCR.FREQ[2:0] 位设定。

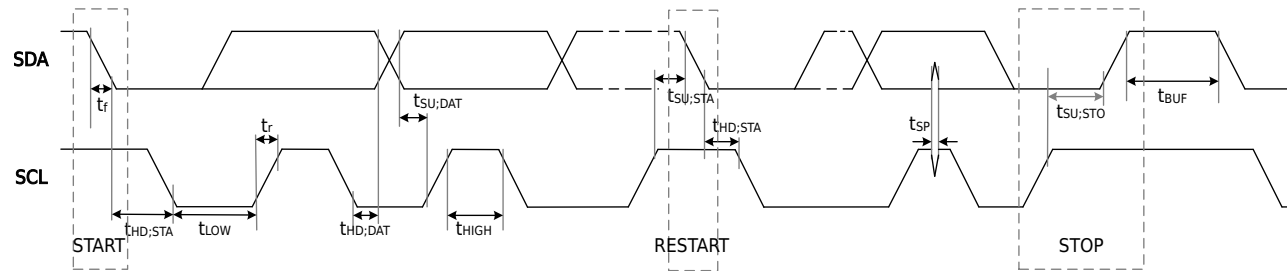


图 4-7 I2C 总线时序定义

4.3.13 SPI 接口特性

表 4-32 SPI 电气特性

符号	参数	条件	最小值	最大值	单位
$t_w(\text{SCKH})^{(1)}$	SCK 高电平时间	主机模式 ⁽⁴⁾ $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	$T_{\text{PCLK1}} - 1^{(5)}$	$T_{\text{PCLK1}} + 1^{(5)}$	ns
		从机模式 ⁽⁴⁾ $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	$3 * T_{\text{PCLK1}} - 1^{(5)}$	$3 * T_{\text{PCLK1}} + 1^{(5)}$	ns
$t_w(\text{SCKL})^{(1)}$	SCK 低电平时间	主机模式 ⁽⁴⁾ $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	$T_{\text{PCLK1}} - 1^{(5)}$	$T_{\text{PCLK1}} + 1^{(5)}$	ns
		从机模式 ⁽⁴⁾ $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	$3 * T_{\text{PCLK1}} - 1^{(5)}$	$3 * T_{\text{PCLK1}} + 1^{(5)}$	ns
$t_{su}(\text{SI})$	Data 输入建立时间	从机模式 $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	4	-	ns
$t_h(\text{SI})$	Data 输入保持时间	从机模式 $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	3	-	ns
$t_v(\text{SO})$	Data 输出有效时间	从机模式 $2.7\text{V} \leq V_{CC} \leq 3.6\text{V}$	-	15	ns
		从机模式 $1.8\text{V} \leq V_{CC} < 2.7\text{V}$	-	26	ns
$t_{su}(\text{MI})$	Data 输入建立时间	主机模式 $2.7\text{V} \leq V_{CC} \leq 3.6\text{V}$	5	-	ns
		主机模式 $1.8\text{V} \leq V_{CC} < 2.7\text{V}$	9	-	ns
$t_h(\text{MI})$	Data 输入保持时间	主机模式 $2.7\text{V} \leq V_{CC} \leq 3.6\text{V}$	5	-	ns
		主机模式 $1.8\text{V} \leq V_{CC} < 2.7\text{V}$	15	-	ns

符号	参数	条件	最小值	最大值	单位
$t_{su}(SS)^{(1)}$	SS 建立时间	从机模式 $1.8V \leq V_{CC} \leq 3.6V$	$6 * T_{PCLK1}^{(5)}$	-	ns
		主机模式 $2.7V \leq V_{CC} \leq 3.6V$	$-5 + N * T_{SCK}^{(2)(5)}$	-	ns
		主机模式 $1.8V \leq V_{CC} < 2.7V$	$-10 + N * T_{SCK}^{(2)(5)}$	-	ns
$t_h(SS)^{(1)}$	SS 保持时间	从机模式 $1.8V \leq V_{CC} \leq 3.6V$	$6 * T_{PCLK1}^{(5)}$	-	ns
		主机模式 $2.7V \leq V_{CC} \leq 3.6V$	$-5 + N * T_{SCK}^{(3)(5)}$	-	ns
		主机模式 $1.8V \leq V_{CC} < 2.7V$	$-10 + N * T_{SCK}^{(3)(5)}$	-	ns
$t_v(MO)$	Data 输出有效时间	主机模式 $2.7V \leq V_{CC} \leq 3.6V$	-	4	ns
		主机模式 $1.8V \leq V_{CC} \leq 2.7V$	-	9	ns



说明

- 1. 由综合评估得出，不在生产中测试。
- 2. $N=1\sim8$ ，由寄存器 SPI_CFG1.MSSI[2:0]决定。
- 3. $N=1\sim8$ ，由寄存器 SPI_CFG1.MSSDL[2:0]决定。
- 4. $t_w(SCKH)$ 和 $t_w(SCKL)$ 的数值由 SPI_CFG2.MBR 决定，表格中所列值为 SPI_CFG2.MBR=0 的值。
- 5. T_{PCLK1} 是指时钟 PCLK1 的 1 个周期， T_{SCK} 是指 SPI 通信时钟的 1 个周期。

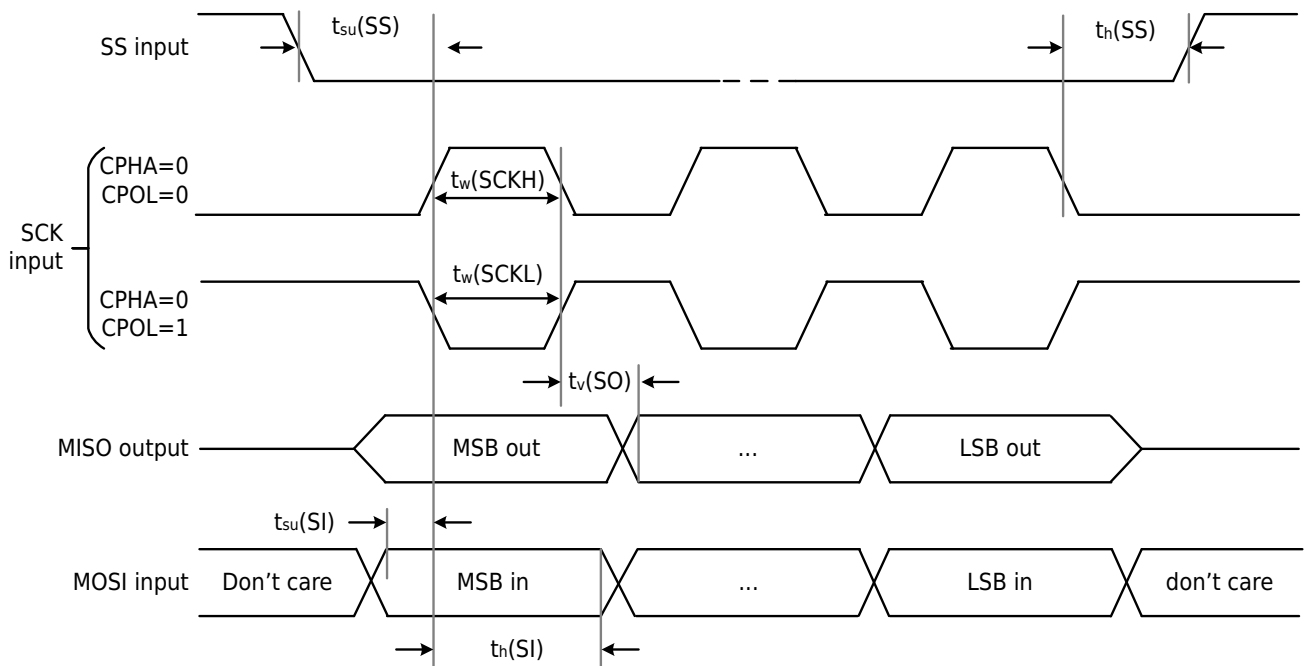


图 4-8 SPI 时序定义（从机模式，CPHA=0）

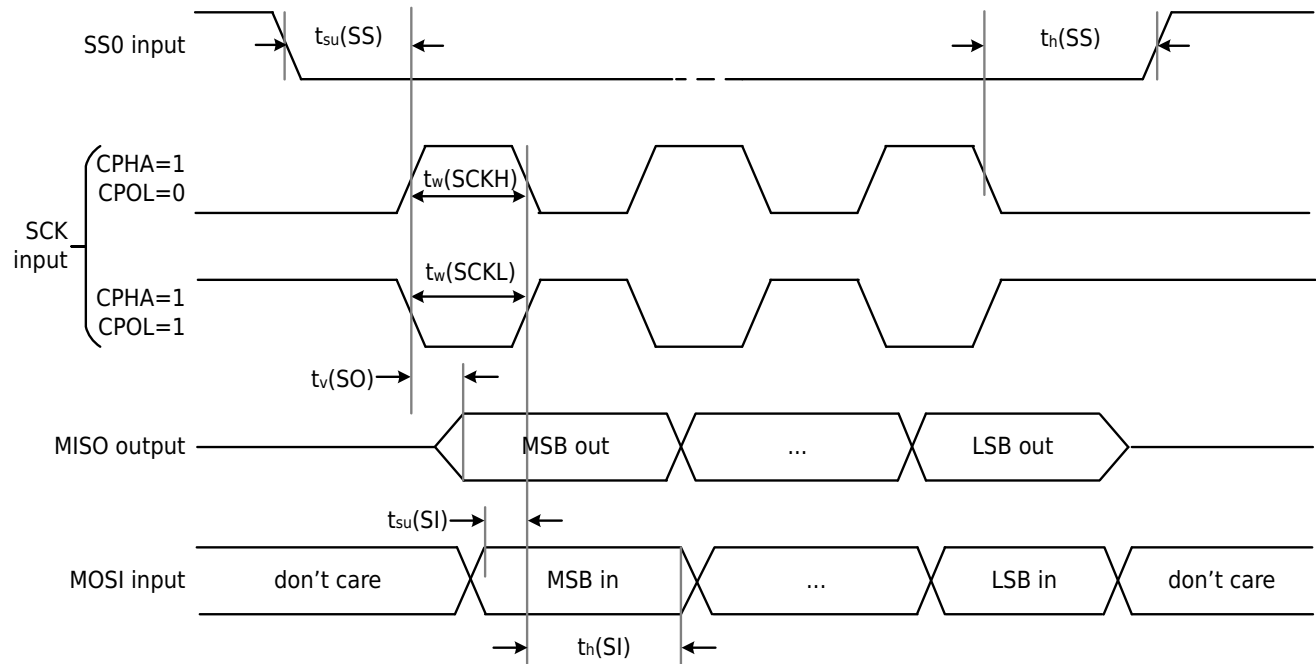


图 4-9 SPI 时序定义（从机模式，CPHA=1）

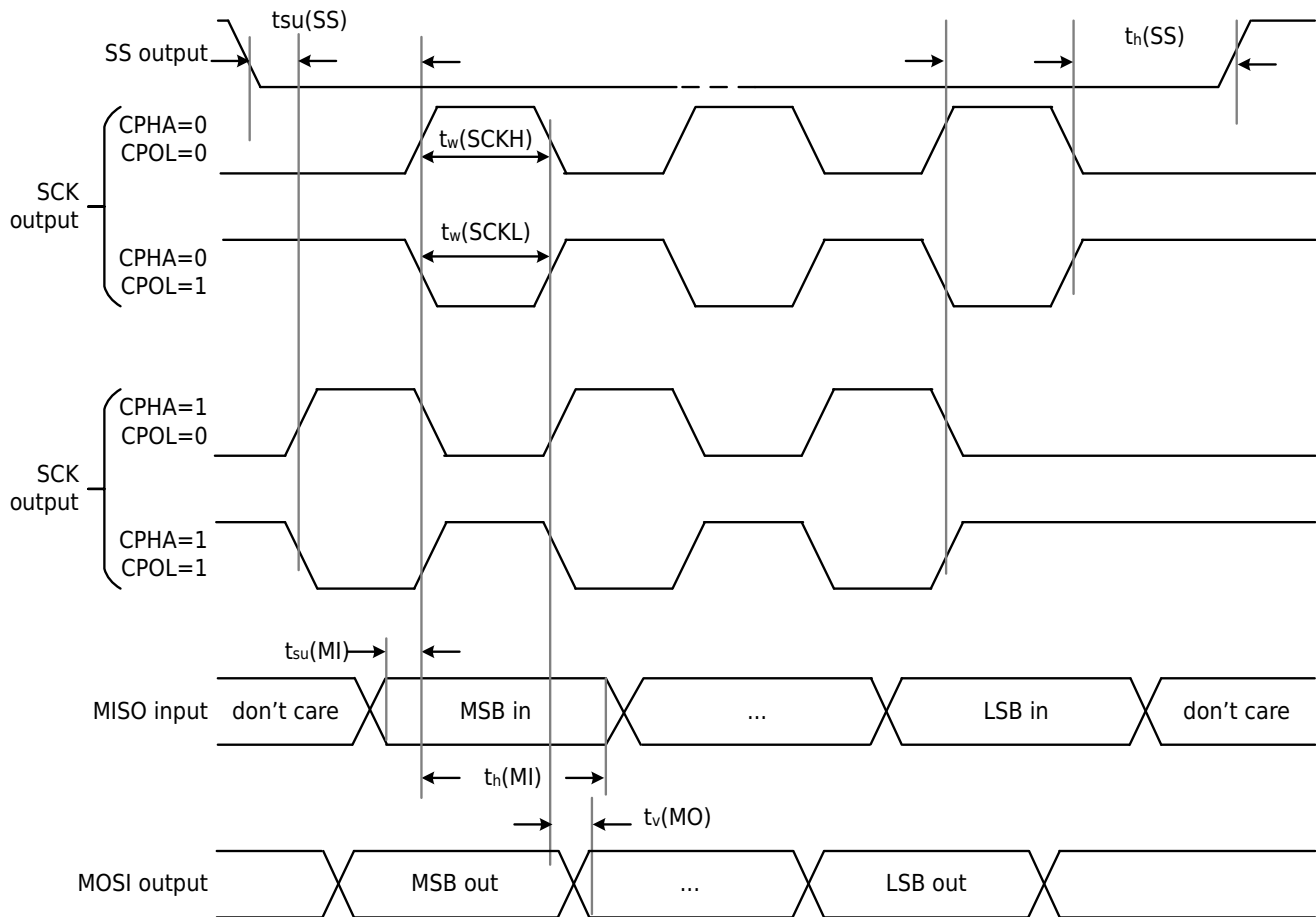


图 4-10 SPI 时序定义（主机模式）

4.3.14 QSPI 接口特性

表 4-33 QSPI 电气特性

符号	参数	条件	最小值	最大值	单位
$t_{QSCYC}^{(1)}$	SCK 时钟周期数	-	2	48	t_{HCLK}
$t_{QSWH}^{(1)}$	SCK 高电平	-	$t_{QSCYC} \times 0.4$	-	ns
$t_{QSWL}^{(1)}$	SCK 低电平	-	$t_{QSCYC} \times 0.4$	-	ns
t_{SU}	数据输入建立时间	$1.8V \leq V_{CC} \leq 3.6V$	5	-	ns
t_{IH}	数据输入保持时间	$2.7V \leq V_{CC} \leq 3.6V$	5	-	ns
		$1.8V \leq V_{CC} < 2.7V$	15	-	ns
t_{OD}	数据输出迟延	-	-	4	ns
$t_{OH}^{(1)}$	数据输出保持时间	-	0	-	ns



说明

1. 由综合评估得出，不在生产中测试。

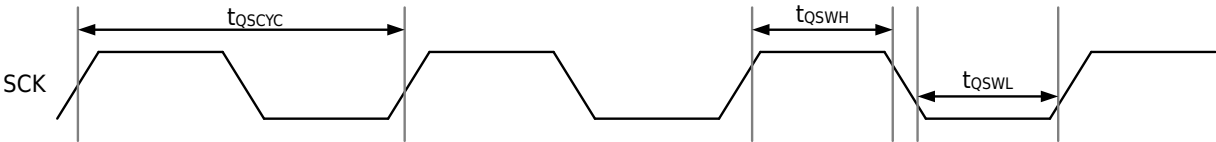


图 4-11 QSPI 时钟时序

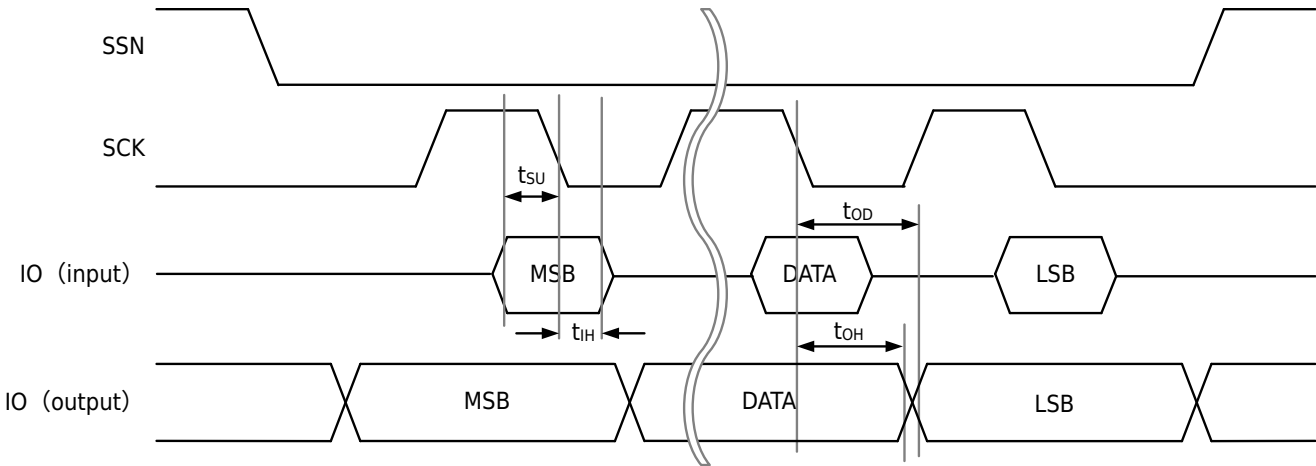


图 4-12 QSPI 时序定义

4.3.15 MCAN 接口特性

MCANx_TX/RX 的端口特性，请参考“[I/O 端口特性](#)”。

4.3.16 USART 接口特性

表 4-34 USART AC 时序

符号	参数	条件	最小值	最大值	单位
$t_{cyc}^{(1)}$	输入时钟周期数	UART	4	-	t_{PCLK1}
		时钟同步模式	6	-	

符号	参数	条件	最小值	最大值	单位
$t_{CKW}^{(1)}$	输入时钟宽度		0.4	0.6	t_{cyc}
$t_{CKr}^{(1)}$	输入时钟上升时间		-	5	ns
$t_{CKf}^{(1)}$	输入时钟下降时间		-	5	ns
t_{TD}	发送延迟时间 $2.7V \leq V_{CC} \leq 3.6V$	时钟同步模式	-	23	ns
	发送延迟时间 ⁽¹⁾ $1.8V \leq V_{CC} < 2.7V$	时钟同步模式	-	30	ns
t_{RDS}	接收数据建立时间 $2.7V \leq V_{CC} \leq 3.6V$	时钟同步模式	17	-	ns
	接收数据建立时间 ⁽¹⁾ $1.8V \leq V_{CC} < 2.7V$	时钟同步模式	23	-	ns
$t_{RDH}^{(1)}$	接收数据保持时间	时钟同步模式	5	-	ns



说明

1. 由综合评估得出，不在生产中测试。

表 4-35 USART 最高波特率

模式		最高波特率
UART	内部时钟源	PCLK1/8
	外部时钟源	PCLK1/32
时钟同步模式 $2.7V \leq V_{CC} \leq 3.6V$		12.0Mbps
时钟同步模式 $1.8V \leq V_{CC} < 2.7V$		8.0Mbps

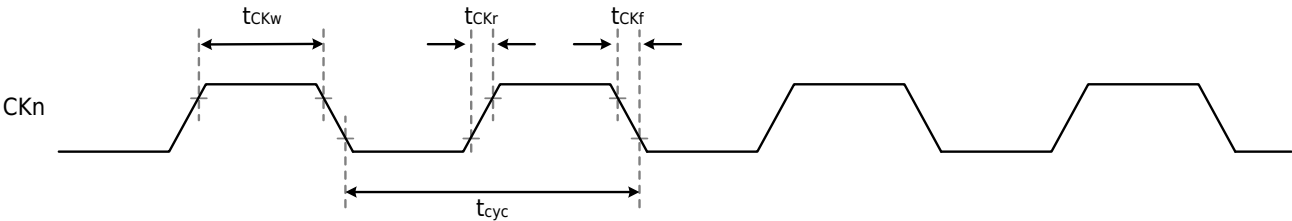


图 4-13 USART 时钟时序

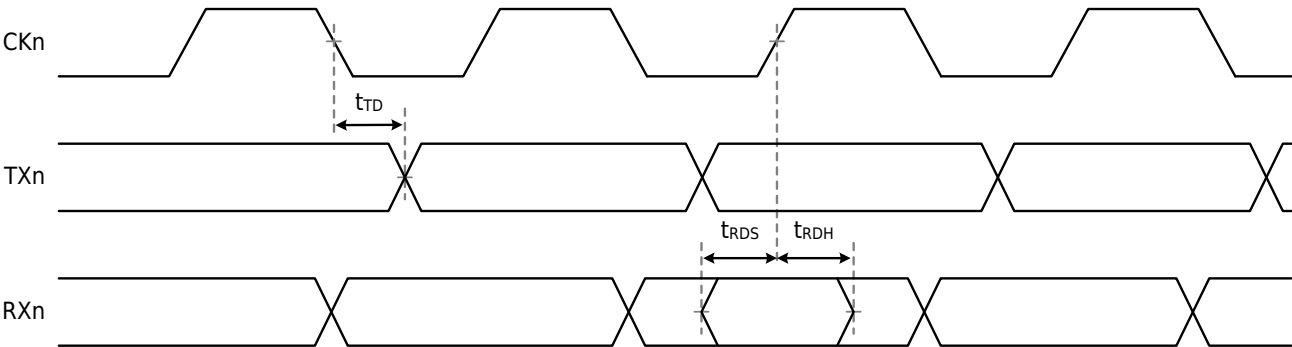


图 4-14 USART (CSI) 输入输出时序



说明

图中 n 取值为 1~6。

4.3.17 JTAG 接口特性

表 4-36 JTAG 接口特性

符号	参数	最小值	典型值	最大值	单位
$t_{TCKcyc}^{(1)}$	JTCK 时钟周期	50	-	-	ns
$t_{TCKH}^{(1)}$	JTCK 时钟高电平	15	-	-	ns
$t_{TCKL}^{(1)}$	JTCK 时钟低电平	15	-	-	ns
$t_{TCKr}^{(1)}$	JTCK 时钟上升时间	-	-	5	ns
$t_{TCKf}^{(1)}$	JTCK 时钟下降时间	-	-	5	ns
t_{TMSs}	JTMS 建立时间	10	-	-	ns
t_{TMSh}	JTMS 保持时间	10	-	-	ns
t_{TDIs}	JTDI 建立时间	10	-	-	ns
t_{TDIh}	JTDI 保持时间	10	-	-	ns
t_{TDOd}	JTDO 数据迟延	-	-	25	ns



说明

1. 由综合评估得出，不在生产中测试。

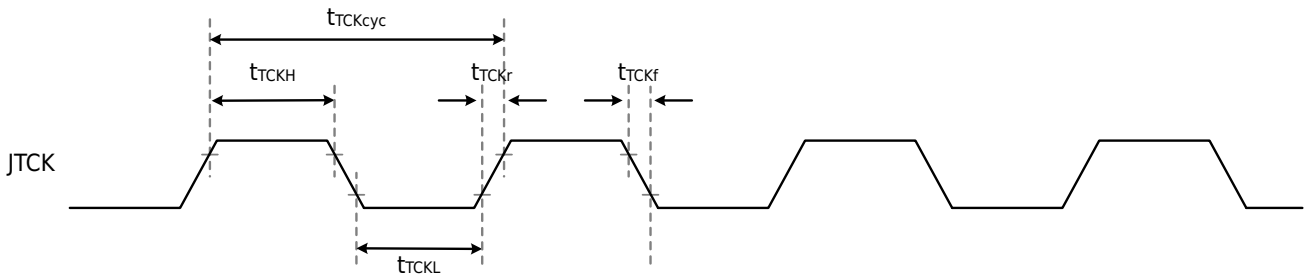


图 4-15 JTAG TCK 时钟

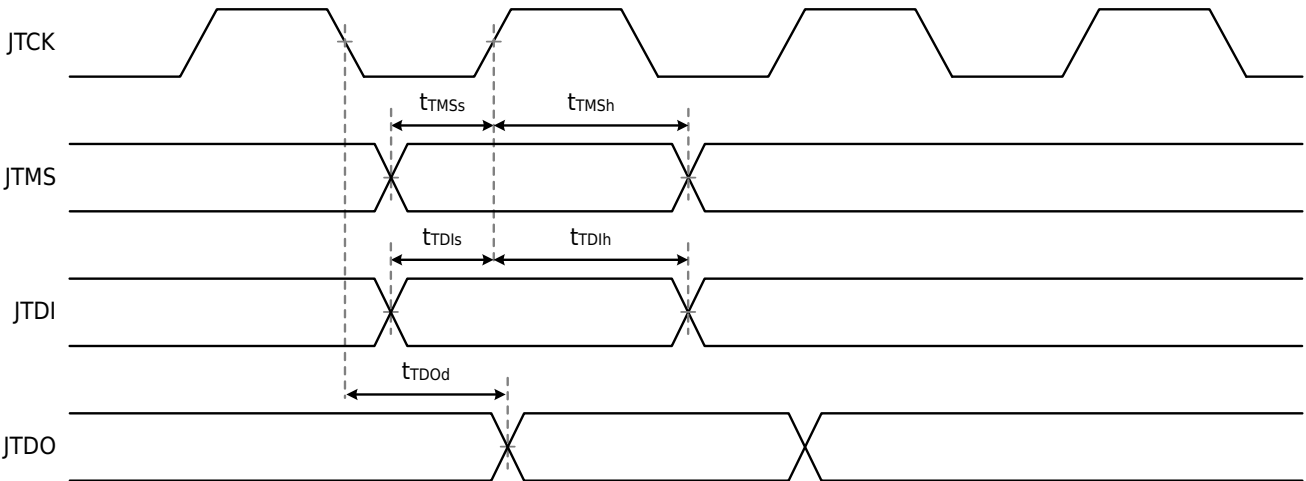


图 4-16 JTAG 输入输出

4.3.18 SWD 接口特性

表 4-37 SWD 接口特性

符号	参数	最小值	典型值	最大值	单位
$t_{\text{SWCLKcyc}}^{(1)}$	SWCLK 时钟周期	50	-	-	ns
$t_{\text{SWCLKH}}^{(1)}$	SWCLK 时钟高电平	15	-	-	ns
$t_{\text{SWCLKL}}^{(1)}$	SWCLK 时钟低电平	15	-	-	ns
$t_{\text{SWCLKr}}^{(1)}$	SWCLK 时钟上升时间	-	-	5	ns
$t_{\text{SWCLKf}}^{(1)}$	SWCLK 时钟下降时间	-	-	5	ns
t_{SWDIs}	SWDI 建立时间	10	-	-	ns
t_{SWDIh}	SWDI 保持时间	10	-	-	ns
t_{SWDOd}	SWDO 数据迟延	2	-	25	ns

 说明

1. 由综合评估得出，不在生产中测试。

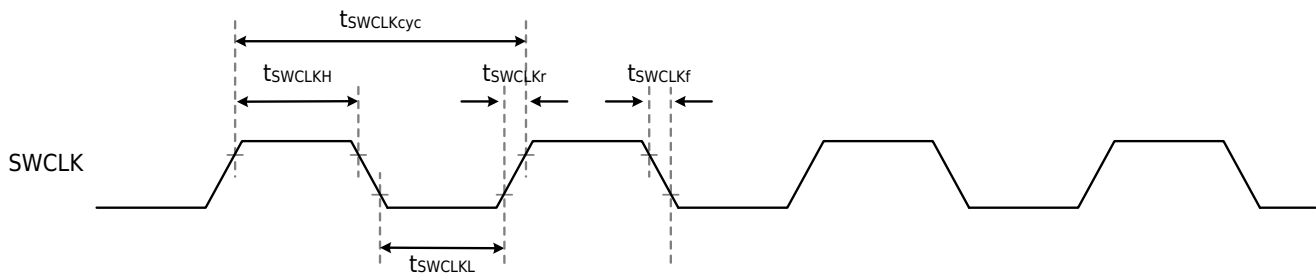


图 4-17 SWCLK 时钟

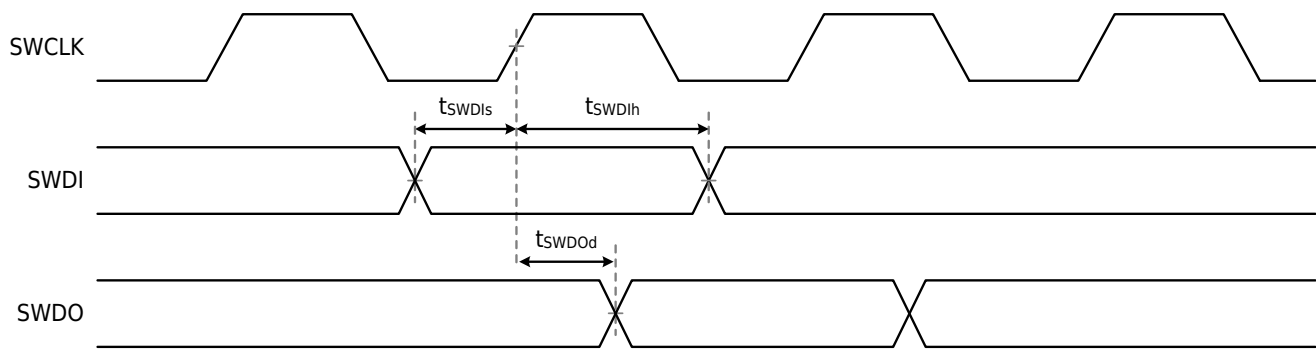


图 4-18 SWDIO 输入输出

4.3.19 TRACE 接口特性

表 4-38 ETM 接口特性

符号	参数	最小值	典型值	最大值	单位
$t_{\text{TRCLKcyc}}^{(1)}$	TRACECK 时钟周期	20	-	-	ns
$t_{\text{TRCKH}}^{(1)}$	TRACECK 时钟高电平	7	-	-	ns
$t_{\text{TRCKL}}^{(1)}$	TRACECK 时钟低电平	7	-	-	ns

符号	参数	最小值	典型值	最大值	单位
$t_{TRCKr}^{(1)}$	TRACECK 时钟上升时间	-	-	2.5	ns
$t_{TRCKf}^{(1)}$	TRACECK 时钟下降时间	-	-	2.5	ns
t_{TRDd}	TRACED 0~3 数据迟延	1.6	-	8.4	ns

说明

1. 由综合评估得出，不在生产中测试。

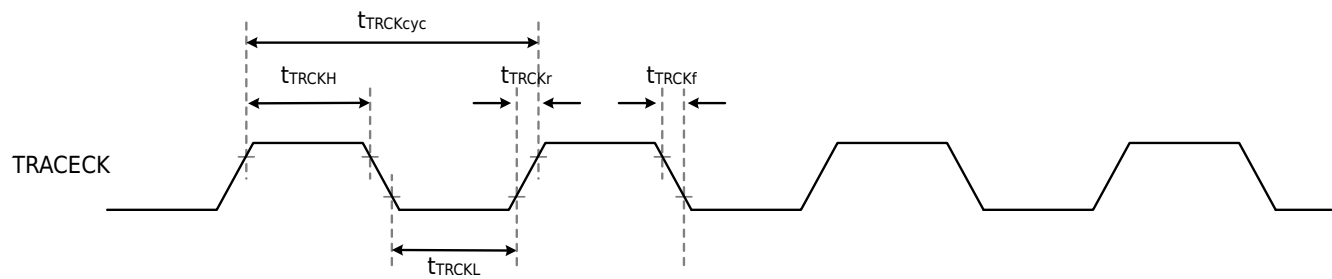


图 4-19 TRACE 时钟

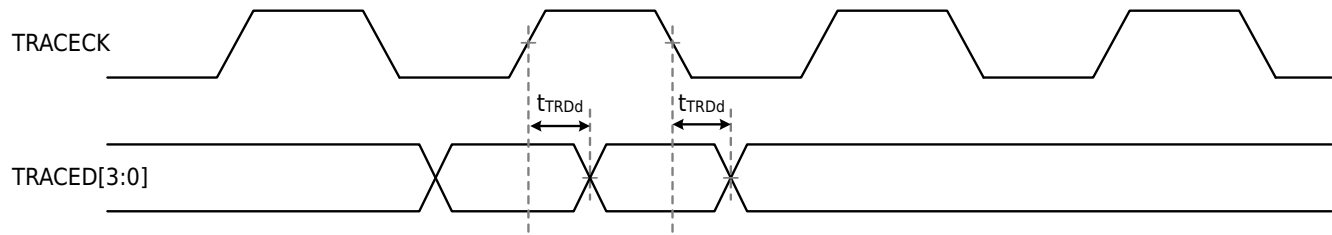


图 4-20 TRACE 数据输出

4.3.20 12 位 ADC 特性

表 4-39 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC/REFH}^{(2)}$	电源	-	1.8	-	3.6	V
$f_{ADC}^{(2)}$	ADC 转换时钟频率	高速工作模式下 $V_{AVCC}=2.4\sim3.6V$	1	-	60	MHz
		低速工作模式下 $V_{AVCC}=1.8\sim2.4V$	1	-	30	
		超低速工作模式	1	-	8	
$V_{AIN}^{(2)}$	转换电压范围	-	V_{AVSS}	-	V_{AVCC}/V_{REFH}	V
$R_{AIN}^{(1)}$	外部输入阻抗	详见公式 1	-	-	50	k Ω
$R_{ADC}^{(1)}$	采样开关电阻	-	-	3	6	k Ω
$C_{ADC}^{(1)}$	内部采样和保持电容	-	-	4	7	pF
$t_D^{(1)}$	触发器转换延迟	$f_{ADC}=60MHz$	-	-	0.3	μs
$t_S^{(1)}$	采样时间	$f_{ADC}=60MHz$	0.183	-	4.266	μs
			11	-	255	1/ f_{ADC}
$t_{CONV}^{(1)}$	单通道总转换时间 (包括采样时间, 计算 方式为: 采样时间 T_s +逐次趋近 n 位分辨率 +1)	$f_{ADC}=60MHz$ 12 位分辨率	0.4	-	-	μs
			24	-	268	1/ f_{ADC}
		$f_{ADC}=60MHz$ 10 位分辨率	0.37	-	-	μs
			22	-	266	1/ f_{ADC}
		$f_{ADC}=60MHz$ 8 位分辨率	0.34	-	-	μs
			20	-	264	1/ f_{ADC}
$f_S^{(1)}$	采样率 $f_{ADC}=60MHz$	12 位分辨率单 ADC	-	-	2.5	MspS
$t_{ST}^{(1)}$	启动时间	-	-	1	2	μs



说明

1. 由设计保证, 不在生产中测试。
2. 由综合评估得出, 不在生产中测试。

公式 1: RAIN 最大值公式

$$R_{AIN} = \frac{k}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上式 (公式 1) 用于确定使误差低于 1/4LSB 的最大外部阻抗。其中 N=12 (12 位分辨率), k 为 ADC_SSTR 寄存器中定义的采样周期数。

表 4-40 输入通道静态精度@ $f_{\text{ADC}}=60\text{MHz}^{(1)}$

符号	参数	条件	最小值	最大值	单位
E_T	总未调整误差	$f_{\text{ADC}}=60\text{MHz}$ 输入源阻抗 $<1\text{k}\Omega$ $V_{\text{AVCC}}=2.4\text{V}/3.6\text{V}$ $T_A=-40^\circ\text{C}/105^\circ\text{C}$	± 5.5	± 7	LSB
E_O	偏移误差		± 4.5	± 7	LSB
E_G	增益误差		± 4.5	± 7	LSB
E_D	微分非线性误差		± 1.5	± 3	LSB
E_L	积分非线性误差		± 2.0	± 4	LSB



说明

1. 由综合评估得出, 不在生产中测试。

表 4-41 输入通道静态精度@ $f_{\text{ADC}}=8\text{MHz}/30\text{MHz}^{(1)}$

符号	参数	条件	最小值	最大值	单位
E_T	总未调整误差	$f_{\text{ADC}}=8\text{MHz}/30\text{MHz}$ 输入源阻抗 $<1\text{k}\Omega$ $V_{\text{AVCC}}=1.8\text{V}$ $T_A=-40^\circ\text{C}/105^\circ\text{C}$	± 5.5	± 7	LSB
E_O	偏移误差		± 4.5	± 7	LSB
E_G	增益误差		± 4.5	± 7	LSB
E_D	微分非线性误差		± 1.5	± 3	LSB
E_L	积分非线性误差		± 2.0	± 4	LSB



说明

1. 由综合评估得出, 不在生产中测试。

表 4-42 输入通道动态精度@ $f_{\text{ADC}}=60\text{MHz}^{(1)}$

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	$f_{\text{ADC}}=60\text{MHz}$ 输入信号频 $=2\text{kHz}$ 输入源阻抗 $=0\Omega$ $V_{\text{AVCC}}=2.4\text{V}/3.6\text{V}$ $T_A=-40^\circ\text{C}/105^\circ\text{C}$	10.5	-	Bits
SINAD	信噪谐波比		65.0	-	dB
SNR	信噪比		65.1	-	dB
THD	总谐波失真		-	-78.1	dB



说明

1. 由综合评估得出, 不在生产中测试。

表 4-43 输入通道动态精度@ $f_{\text{ADC}}=8\text{MHz}/30\text{MHz}^{(1)}$

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	$f_{\text{ADC}}=8\text{MHz}/30\text{MHz}$ 输入信号频 $=2\text{kHz}$ 输入源阻抗 $=0\Omega$ $V_{\text{AVCC}}=1.8\text{V}$ $T_A=-40^\circ\text{C}/105^\circ\text{C}$	10.5	-	Bits
SINAD	信噪谐波比		65.0	-	dB
SNR	信噪比		65.1	-	dB
THD	总谐波失真		-	-78.1	dB



说明

1. 由综合评估得出，不在生产中测试。

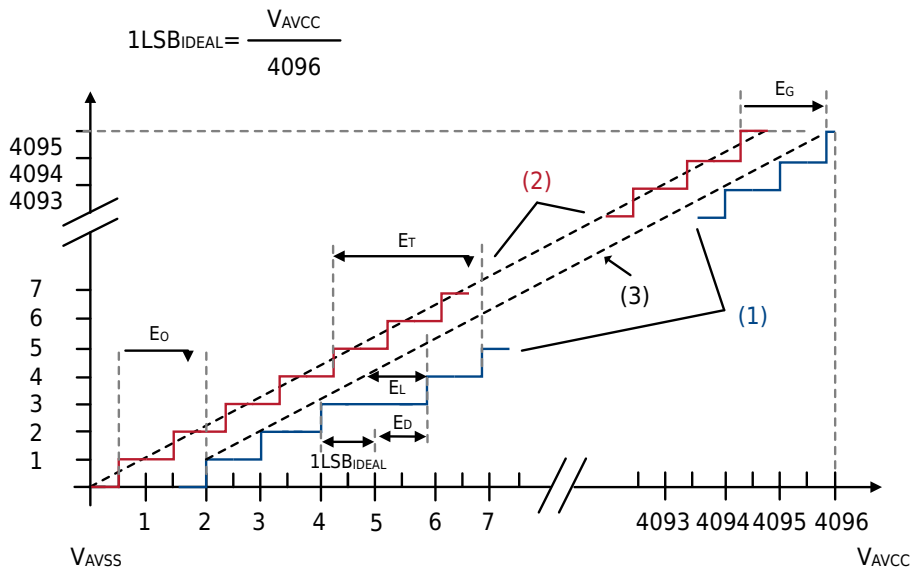


图 4-21 ADC 精度特性

1. 实际传输曲线举例。
2. 理想传输曲线。
3. 端点相关线。
4. E_T = 总末调整误差：实际和理想传输曲线间的最大偏离。
 E_0 = 偏移误差：第一次实际转换和第一次理想转换间的偏离。
 E_G = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。
 E_D = 微分非线性误差：实际步进和理想值间的最大偏离。
 E_L = 积分非线性误差：任何实际转换和端点相关线间的最大偏离。

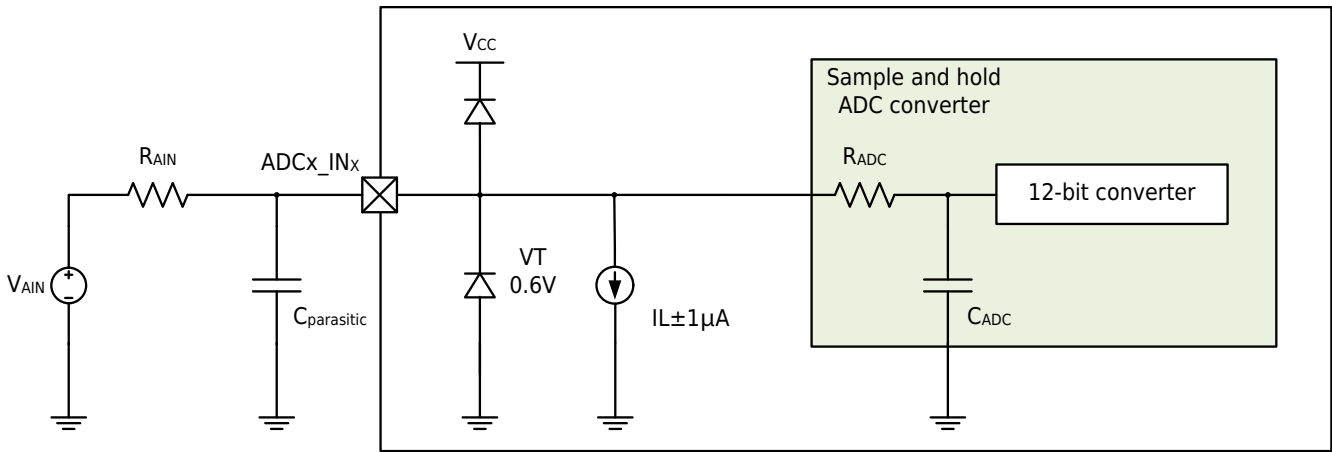


图 4-22 使用 ADC 的典型连接

1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 值的信息，请参见表 4-39。
2. $C_{parasitic}$ 表示 PCB 电容（取决于焊接和 PCB 布线质量）以及焊盘电容（约 5pF）。 $C_{parasitic}$ 值较高会导致转换精度降低。要解决这一问题，应减小 f_{ADC} 。

通用 PCB 设计准则

应按下图所示对电源进行去耦。0.1μF 电容应为（优质）陶瓷电容。这些电容应尽可能靠近芯片。

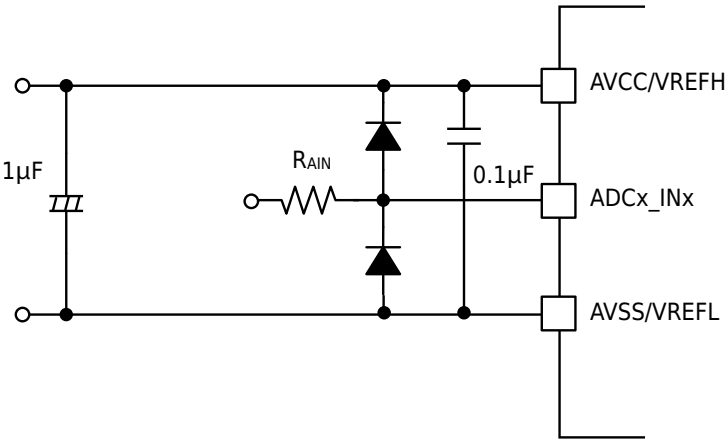


图 4-23 电源和参考电源去耦例

1. 有关 R_{AIN} 值的信息，请参见表 4-39。

4.3.21 12 位 DAC 特性

表 4-44 12-bit DAC 端口输出允许且输出放大器允许时特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC}^{(1)}$	模拟电源电压	-	1.8	3.3	3.6	V
AO	输出电压范围	-	0.2	-	$V_{AVCC}-0.2$	-
$R_L^{(1)}$	负载电阻	-	40	-	-	kΩ
$C_L^{(1)}$	负载电容	-	-	-	50	pF
DNL	微分非线性误差（两个连续代码之间的偏差-1LSB）	$R_L=40k\Omega$	-	-	± 3	LSB
INL	积分非线性误差（代码 1 处测得的值与代码 0 及最后一个代码 4095 之间连线上代码 1 处的值之间的差）	$R_L=40k\Omega$	-	-	± 5	LSB
$OE^{(1)}$	偏移误差（代码 2048 处测得值与理想值 $V_{REF}/2$ 之间的差）	-	-	-	± 15	LSB
$GE^{(1)}$	增益误差	-	-	-	± 1	%
$T_{st}^{(2)}$	建立时间（满刻度：适用于到 DAC 输出达到最终值 $\pm 4LSB$ 时，最低输入代码与最高输入代码之间 12 位输入代码转换）	-	-	2	3	μs

 说明

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。

表 4-45 12-bit DAC 端口输出允许且输出放大器禁止时特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC}^{(1)}$	模拟电源电压	-	1.8	3.3	3.6	V
$AO^{(1)}$	输出电压范围	-	0	-	$V_{AVCC}-1LSB$	V

符号	参数	条件	最小值	典型值	最大值	单位
CL ⁽¹⁾	负载电容	-	-	-	20	pF
RO ⁽¹⁾	输出电阻	-	-	8.6	12	kΩ
DNL	微分非线性误差（两个连续代码之间的偏差-1LSB）	-	-	-	±2	LSB
TUE ⁽¹⁾	总不可调整误差	-	-	-	±24	LSB
T _{st} ⁽²⁾	建立时间（适用于到 DAC 输出达到最终值±4LSB 时，最低输入代码与最高输入代码之间 12 位输入代码转换，CL=10pF）	-	-	1.5	2.5	μs



说明

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。

表 4-46 12-bit DAC 端口输出禁止且输出放大器禁止时特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC} ⁽²⁾	模拟电源电压	-	1.8	3.3	3.6	V
AO ⁽¹⁾	输出电压范围	-	0	-	V _{AVCC} -1LSB	V
DNL ⁽¹⁾	微分非线性误差（两个连续代码之间的偏差-1LSB）	-	-	-	±2	LSB
TUE ⁽¹⁾	总不可调整误差	-	-	-	±5	LSB
T _{st} ⁽¹⁾	建立时间（适用于到 DAC 输出达到最终值±1LSB 时，最低输入代码与最高输入代码之间 12 位输入代码转换，V _{AVCC} ≥2.7）	-	-	95.5	117.3	ns
	建立时间（适用于到 DAC 输出达到最终值±32LSB 时，最低输入代码与最高输入代码之间 12 位输入代码转换，V _{AVCC} ≥2.7）	-	-	57.2	70.5	ns
	建立时间（适用于到 DAC 输出达到最终值±1LSB 时，最低输入代码与最高输入代码之间 12 位输入代码转换，V _{AVCC} <2.7）	-	-	-	121.6	ns
	建立时间（适用于到 DAC 输出达到最终值±32LSB 时，最低输入代码与最高输入代码之间 12 位输入代码转换，V _{AVCC} <2.7）	-	-	-	79.1	ns



说明

1. 由设计保证，不在生产中测试。
2. 由综合评估得出，不在生产中测试。

4.3.22 比较器特性

表 4-47 比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC}^{(2)}$	模拟电源电压	-	1.8	3.3	3.6	V
$V_I^{(2)}$	输入电压范围	-	0	-	V_{AVCC}	V
$T_{cmp}^{(1)}$	比较时间	比较器分辨电压 =100mV	-	30	50	ns
$T_{set}^{(2)}$	输入通道切换稳定时间	-	-	100	200	ns



说明

1. 由设计保证，不在生产中测试。
2. 由综合评估得出，不在生产中测试。

4.3.23 EXMC 特性

表 4-48 内部 EXCLK 模式的 EXMC 特性

符号	参数	条件	最小值	典型值	最大值	单位
t_add_d	地址线输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	12	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	18	ns
t_data_d	数据线输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	12	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	18	ns
t_ce_d	CE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_we_d	WE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_oe_d	OE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_baa_d	BAA 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_adv_d	ADV 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_ale_d	ALE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_data_s	数据线输入 Setup 时间	$2.7V \leq V_{CC} \leq 3.6V$	24	-	-	ns
		$1.8V \leq V_{CC} < 2.7V$	28	-	-	ns
t_data_h	数据线输入 Hold 时间	-	0	-	-	ns

符号	参数	条件	最小值	典型值	最大值	单位
t_rb_s	RB 输入 Setup 时间	$2.7V \leq V_{CC} \leq 3.6V$	24	-	-	ns
		$1.8V \leq V_{CC} < 2.7V$	28	-	-	ns
t_rb_h	RB 输入 Hold 时间	-	0	-	-	ns

表 4-49 反馈 EXCLK 模式的 EXMC 特性

符号	参数		最小值	典型值	最大值	单位
t_add_d	地址线输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	12	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	18	ns
t_data_d	数据线输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	12	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	18	ns
t_ce_d	CE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_we_d	WE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_oe_d	OE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_baa_d	BAA 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_adv_d	ADV 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_ale_d	ALE 输出迟延时间	$2.7V \leq V_{CC} \leq 3.6V$	-	-	9	ns
		$1.8V \leq V_{CC} < 2.7V$	-	-	12	ns
t_data_s	数据线输入 Setup 时间	$1.8V \leq V_{CC} \leq 3.6V$	7	-	-	ns
t_data_h	数据线输入 Hold 时间 ⁽¹⁾	$2.7V \leq V_{CC} \leq 3.6V$	5	-	-	ns
		$1.8V \leq V_{CC} < 2.7V$	14	-	-	ns
t_rb_s	RB 输入 Setup 时间	$1.8V \leq V_{CC} \leq 3.6V$	7	-	-	ns
t_rb_h	RB 输入 Hold 时间	$2.7V \leq V_{CC} \leq 3.6V$	5	-	-	ns
		$1.8V \leq V_{CC} < 2.7V$	14	-	-	ns

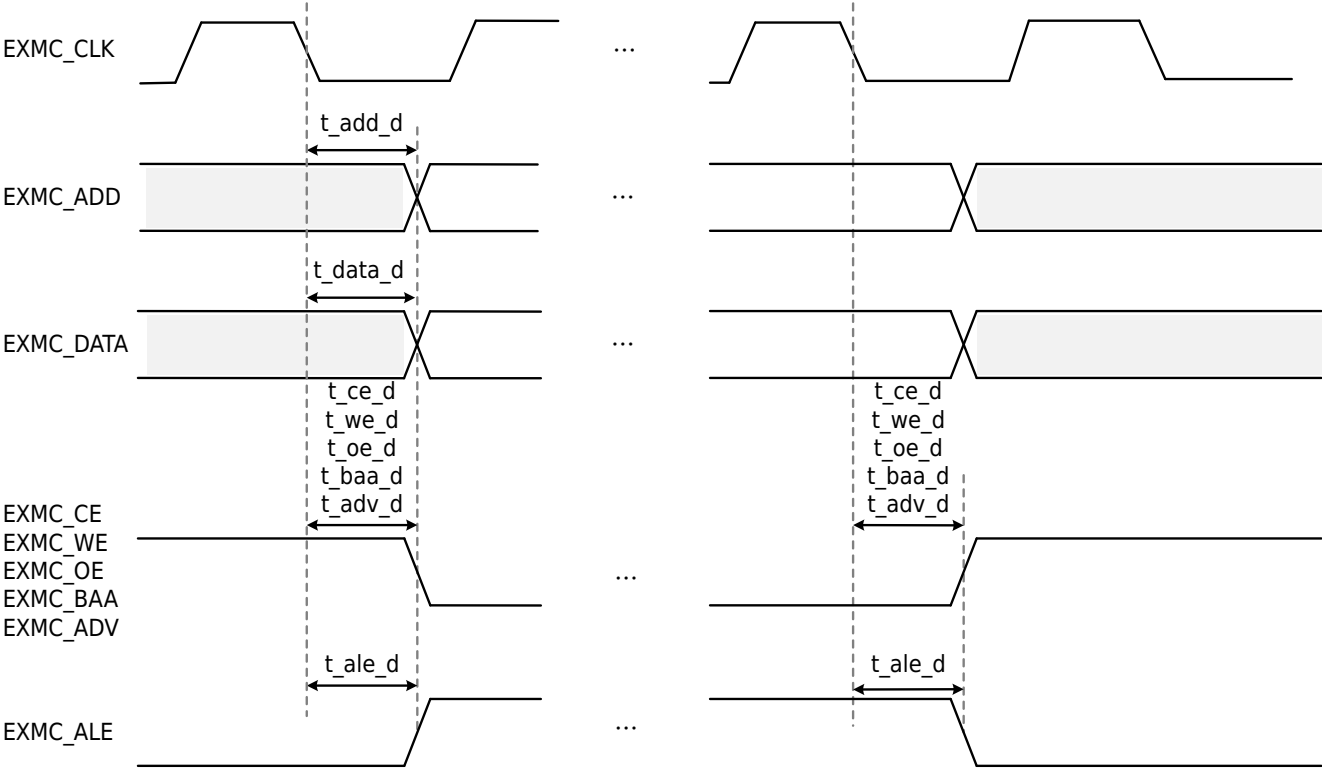


图 4-24 EXMC 输出信号时序图

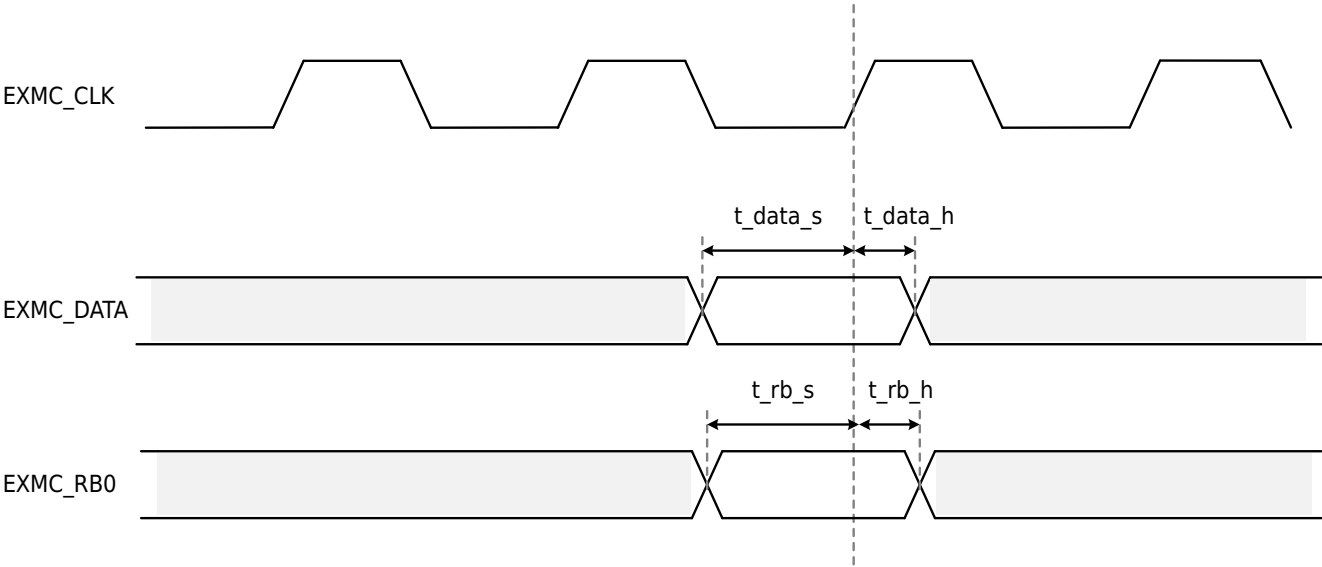


图 4-25 EXMC 输入信号时序图

4.3.24 EIRQ 滤波特性

表 4-50 EIRQ 滤波特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
W _{F_EIRQ}	EIRQ 输入滤波宽度	INTC_NOCCR.NOCSEL[1:0]=0b00	0.6	-	1.0	μs
		INTC_NOCCR.NOCSEL[1:0]=0b01	1.3	-	2.0	μs
		INTC_NOCCR.NOCSEL[1:0]=0b10	2.6	-	4.0	μs
		INTC_NOCCR.NOCSEL[1:0]=0b11	5.2	-	8.0	μs

说明

1. 由综合评估得出，不在生产中测试。

4.3.25 USART1 STOP 模式下 RX 滤波特性

表 4-51 USART1 STOP 模式下 RX 滤波特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
W _{F_USART1}	USART1 输入滤波宽度	USART1_NFC.USART1_NFS[1:0]=0b00	0.6	-	1.0	μs
		USART1_NFC.USART1_NFS[1:0]=0b01	1.3	-	2.0	μs
		USART1_NFC.USART1_NFS[1:0]=0b10	2.6	-	4.0	μs
		USART1_NFC.USART1_NFS[1:0]=0b11	5.2	-	8.0	μs

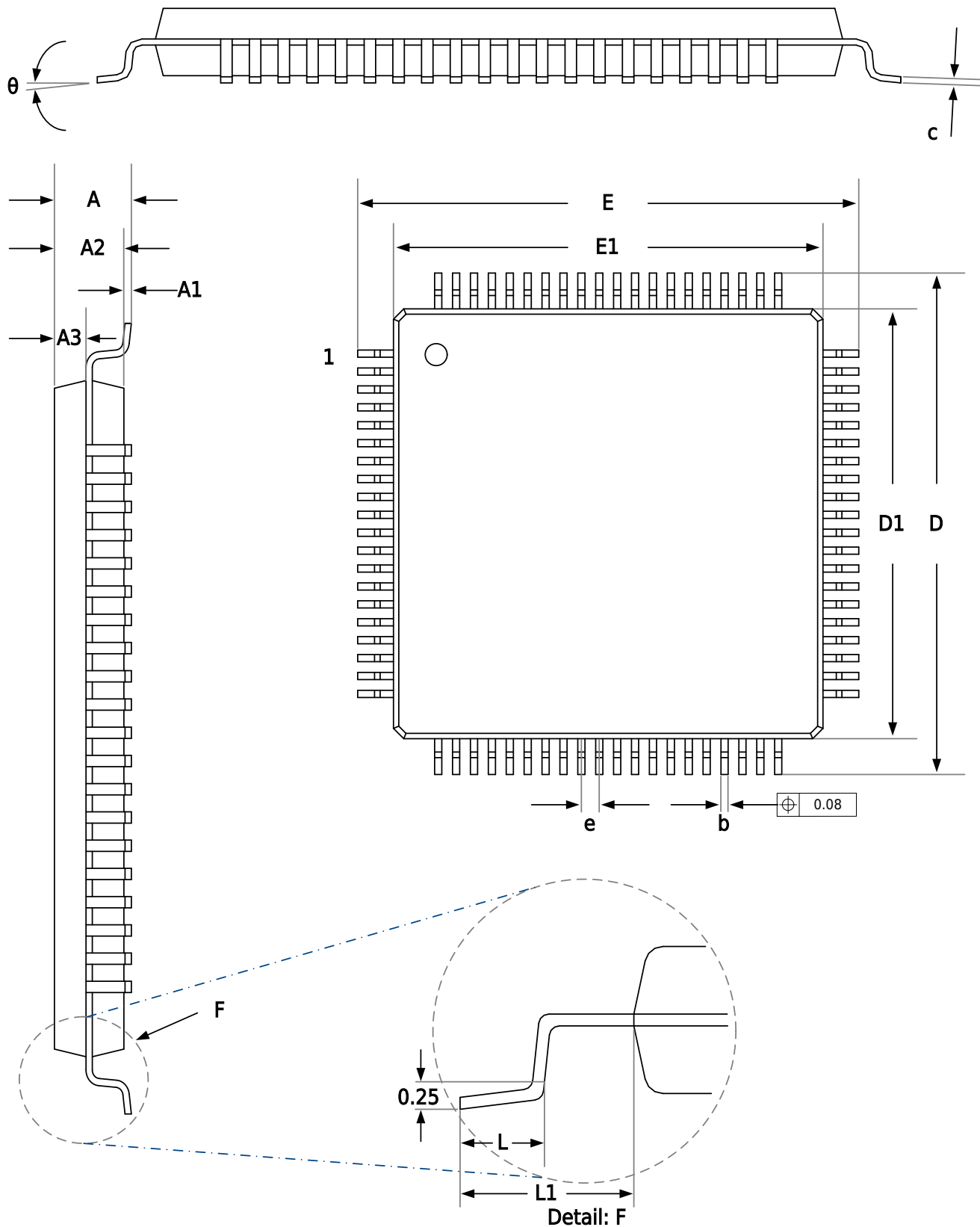
说明

1. 由综合评估得出，不在生产中测试。

5 封装信息

5.1 封装尺寸

5.1.1 LQFP80 封装



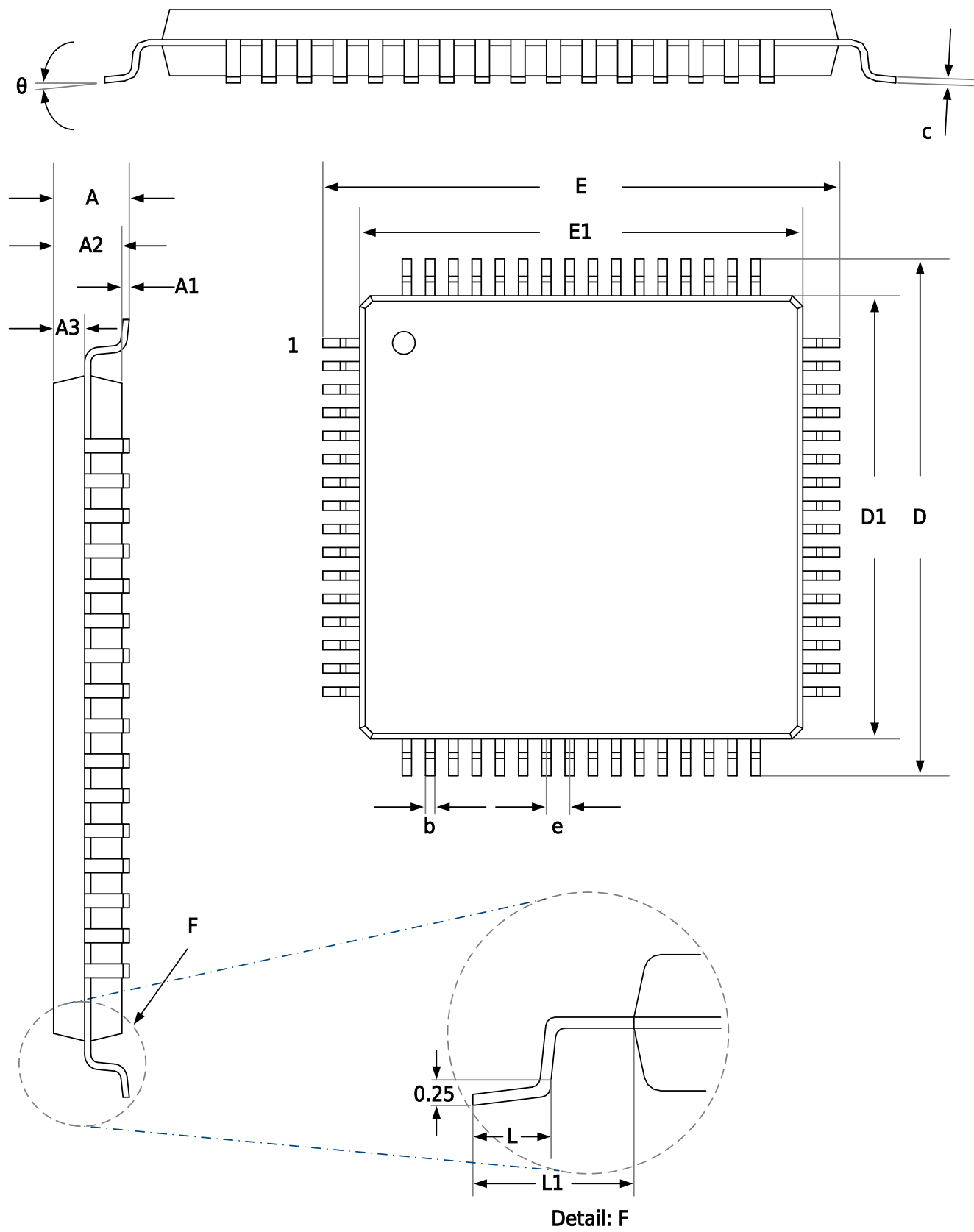
Symbol	12 x 12 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	0.22	0.27
c	0.09	--	0.20
D	13.80	14.00	14.20
D1	11.90	12.00	12.10
E	13.80	14.00	14.20
E1	11.90	12.00	12.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	3.5°	7°



说明

Dimensions “D1” and “E1” do not include mold flash.

5.1.2 LQFP64 封装



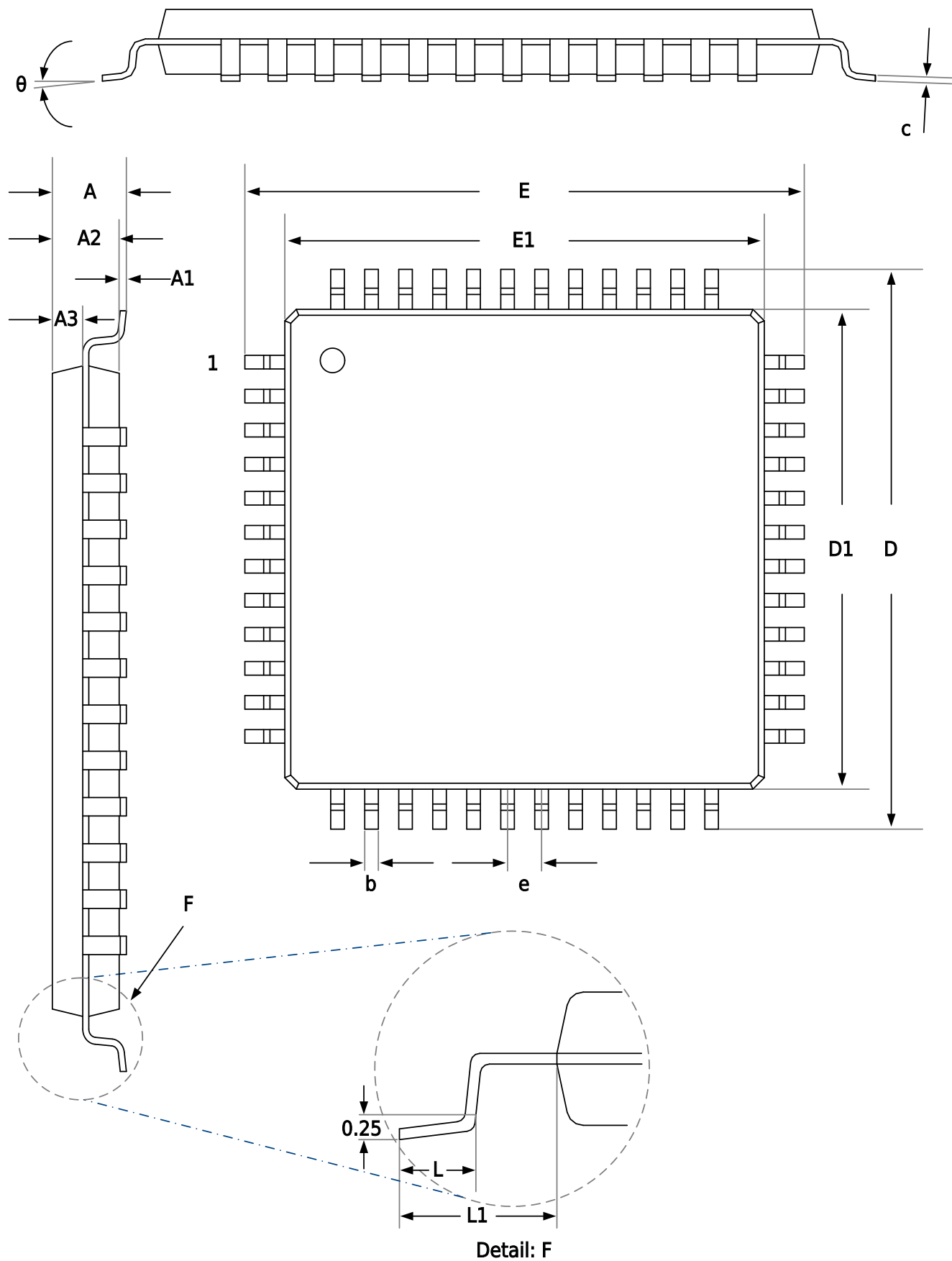
Symbol	LQFP64 (10x10)		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	0.22	0.27
c	0.09	--	0.20
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0°	--	7°



说明

Dimensions “D1” and “E1” do not include mold flash.

5.1.3 LQFP48 封装



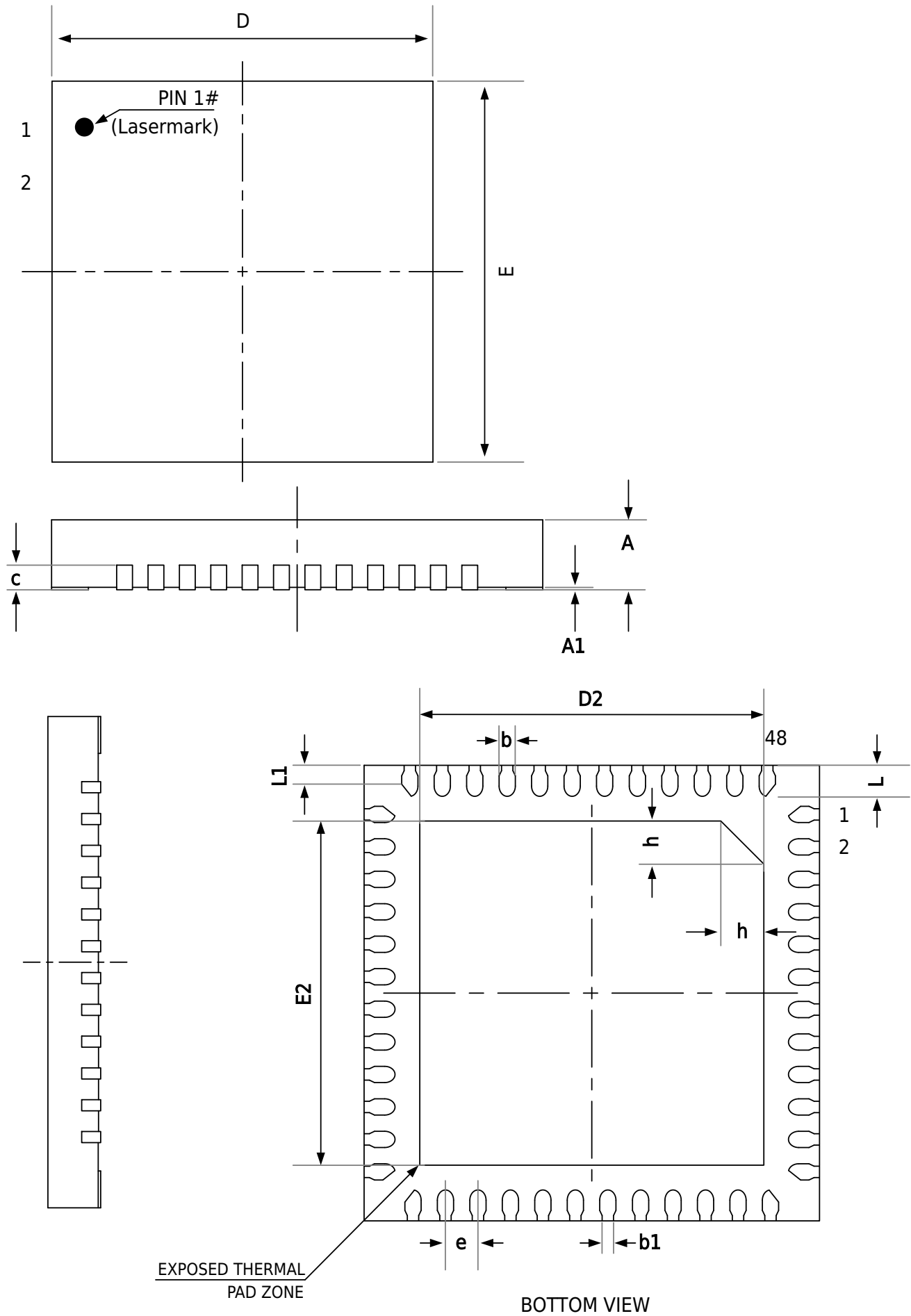
Symbol	7 x 7 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	0.22	0.27
c	0.09	--	0.20
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	--	7°



说明

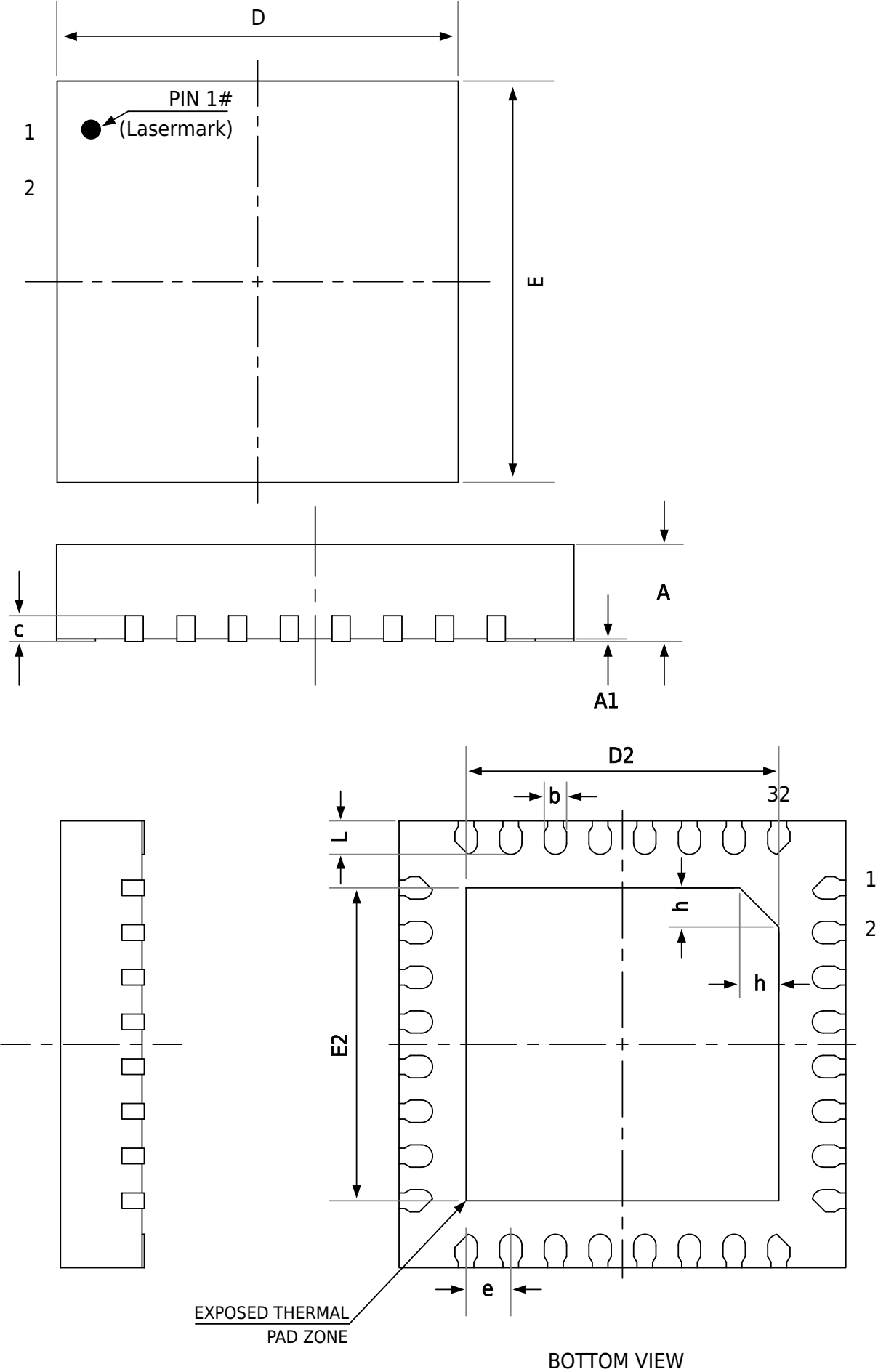
Dimensions “D1” and “E1” do not include mold flash.

5.1.4 QFN48 封装



Symbol	5 x 5 Millimeter		
	Min	Nom	Max
A	0.50	0.55	0.60
A1	0.00	0.02	0.05
b	0.13	0.18	0.23
b1	0.12REF		
c	0.10	0.15	0.20
D	4.90	5.00	5.10
D2	3.60	3.70	3.80
e	0.35BSC		
E	4.90	5.00	5.10
E2	3.60	3.70	3.80
L	0.30	0.35	0.40
L1	0.13	0.18	0.23
h	0.25	0.30	0.35

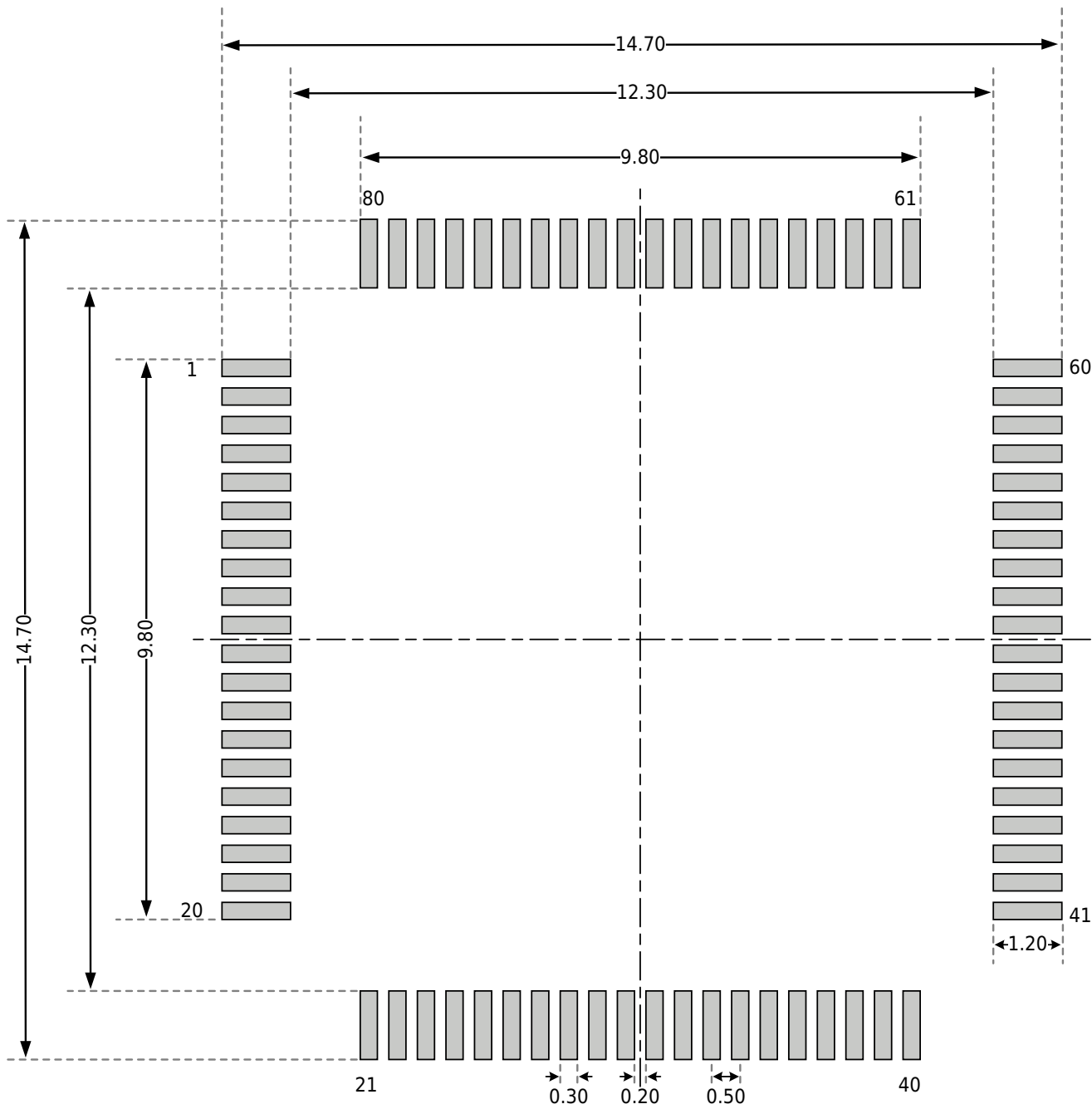
5.1.5 QFN32 封装



Symbol	4 x 4 Millimeter		
	Min	Nom	Max
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
b	0.15	0.20	0.25
c	0.15	0.20	0.25
D	3.90	4.00	4.10
D2	2.50	2.70	2.90
e	0.40BSC		
E	3.90	4.00	4.10
E2	2.50	2.70	2.90
L	0.25	0.35	0.50
h	0.25	--	0.40

5.2 焊盘示意图

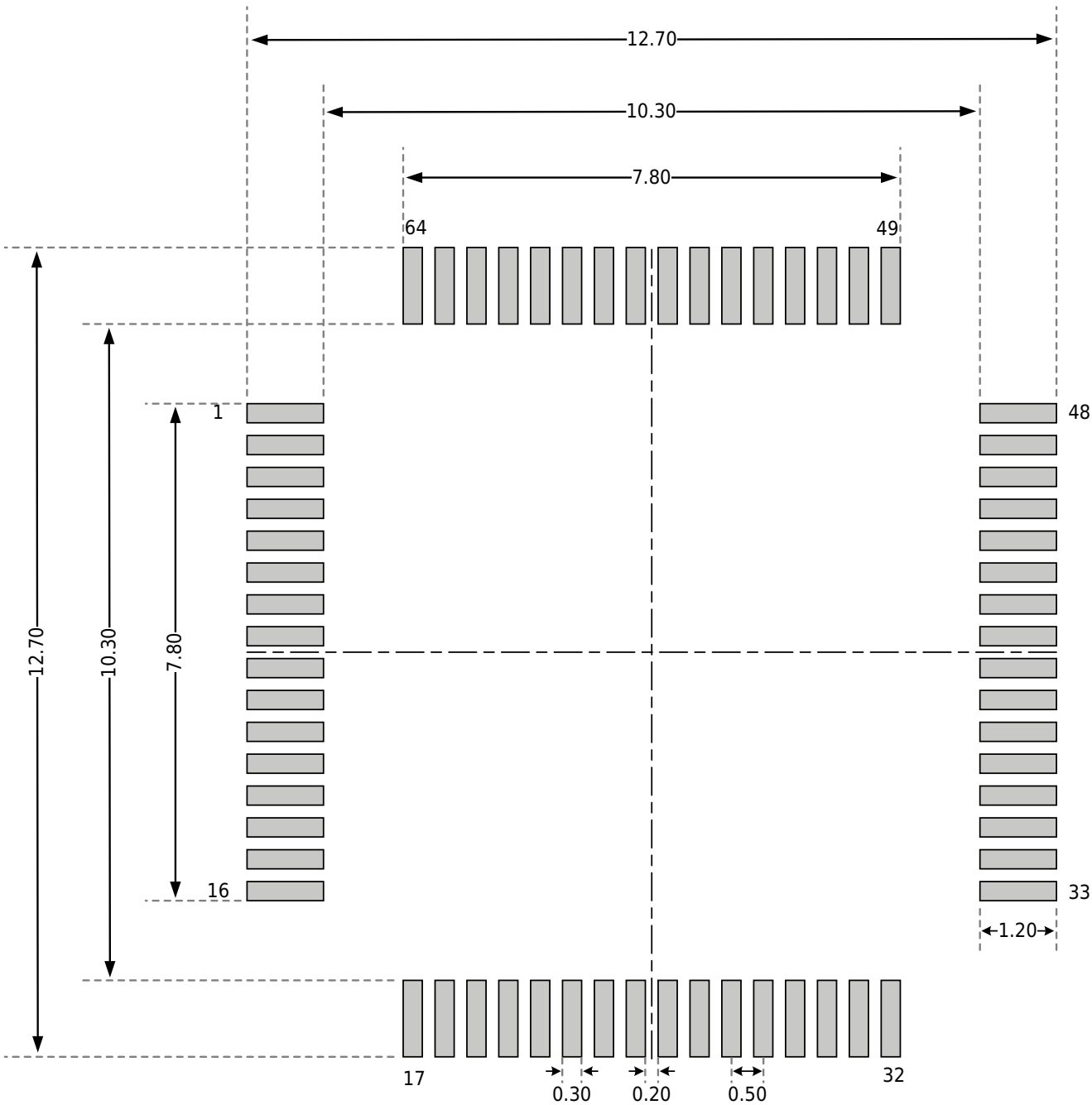
5.2.1 LQFP80 封装 (12mm x 12mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

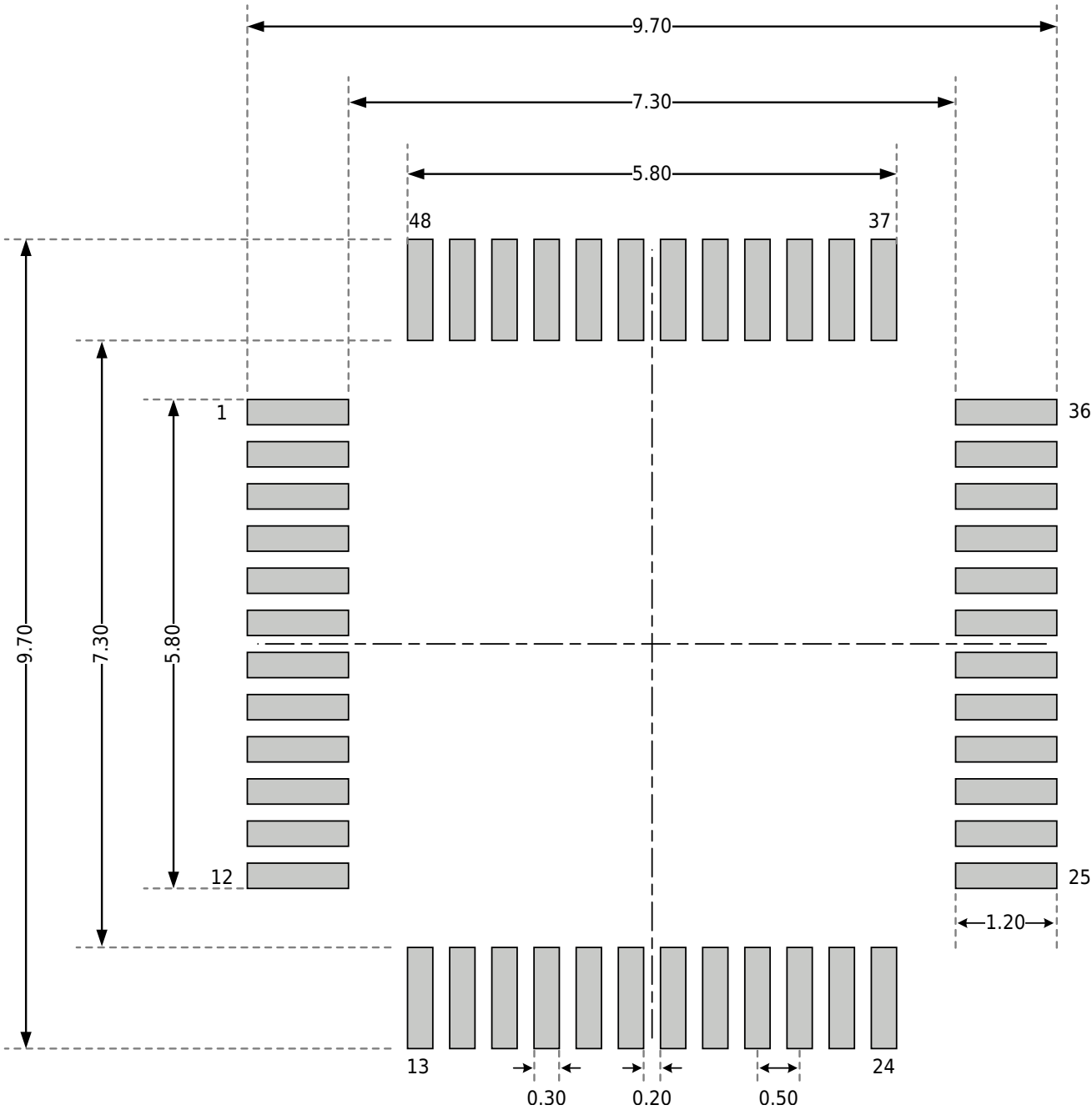
5.2.2 LQFP64 封装 (10mm x 10mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

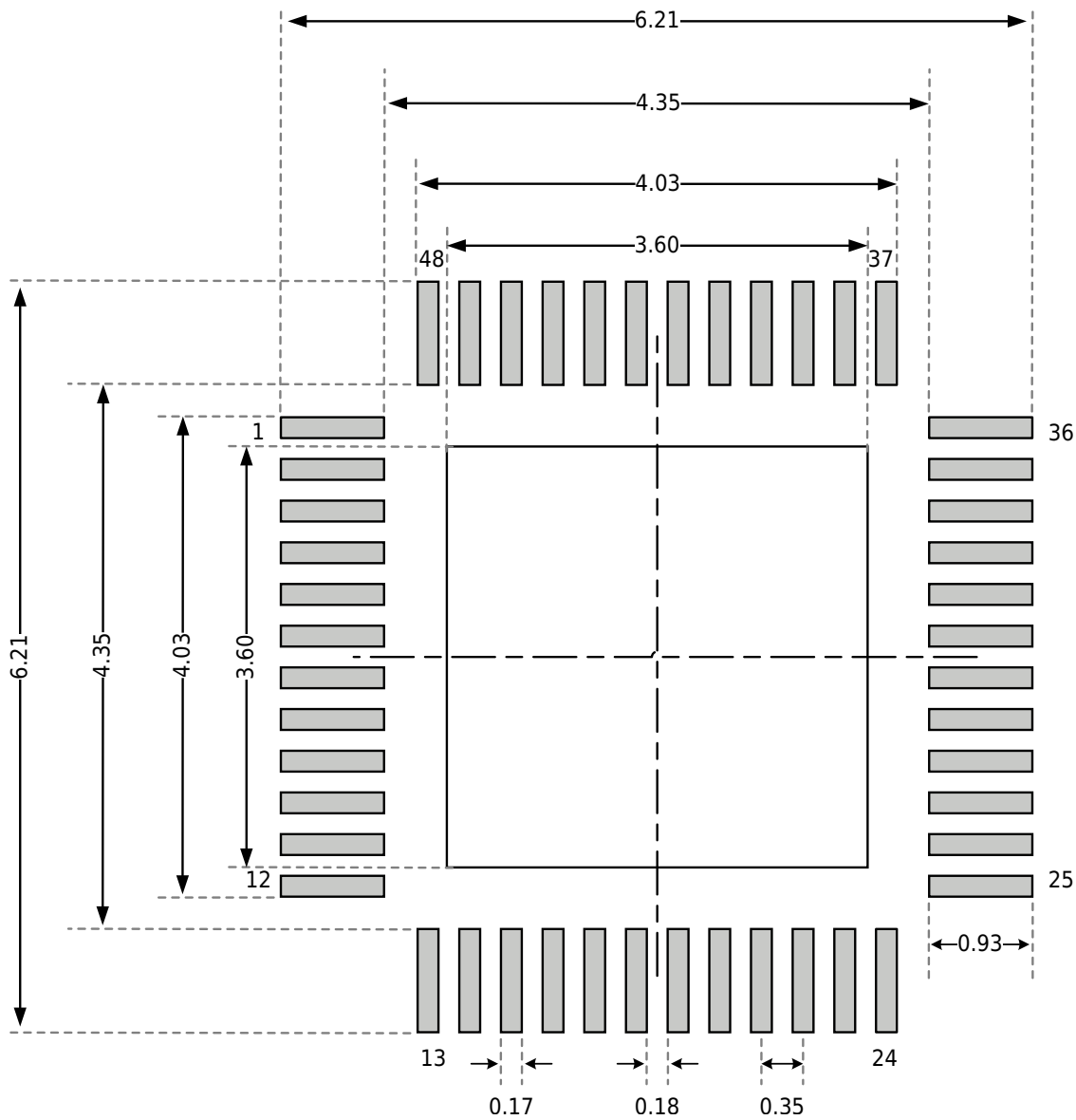
5.2.3 LQFP48 封装 (7mm x 7mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

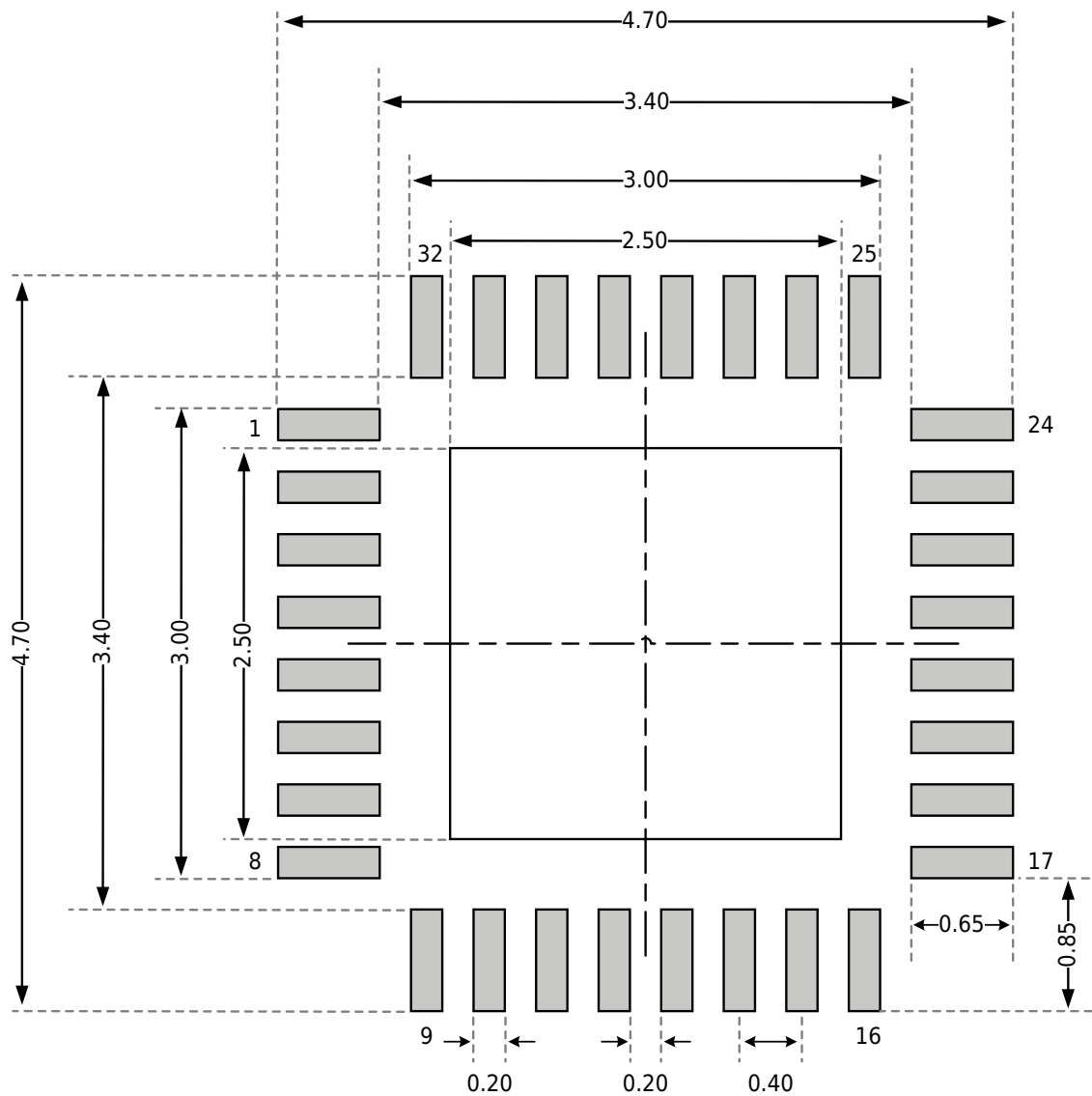
5.2.4 QFN48 封装 (5mm x 5mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

5.2.5 QFN32 封装 (4mm x 4mm)



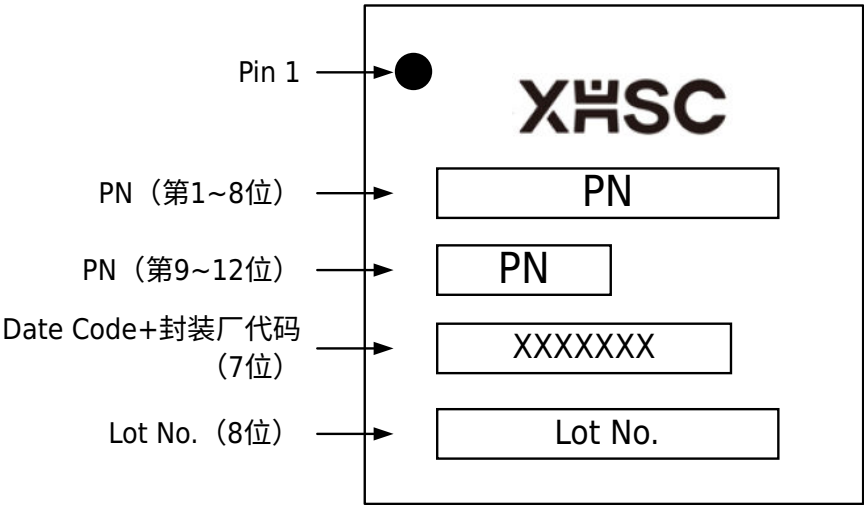
说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

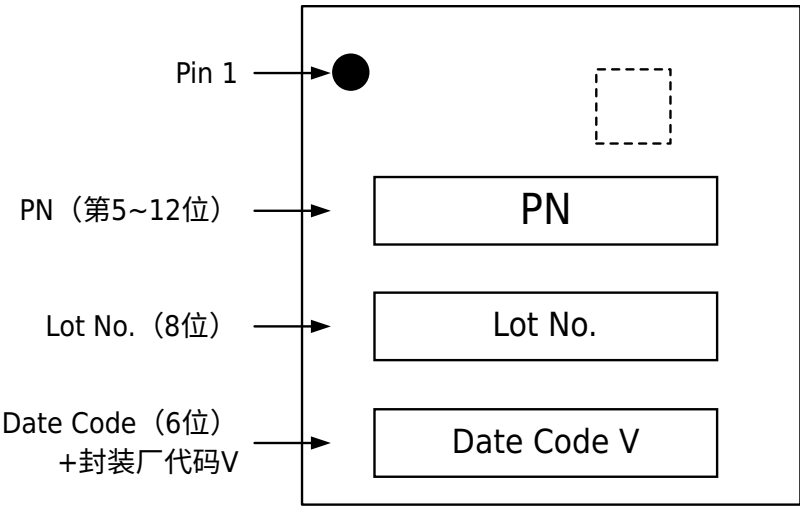
5.3 丝印说明

以下给出各封装正面丝印的 Pin1 位置和信息说明。

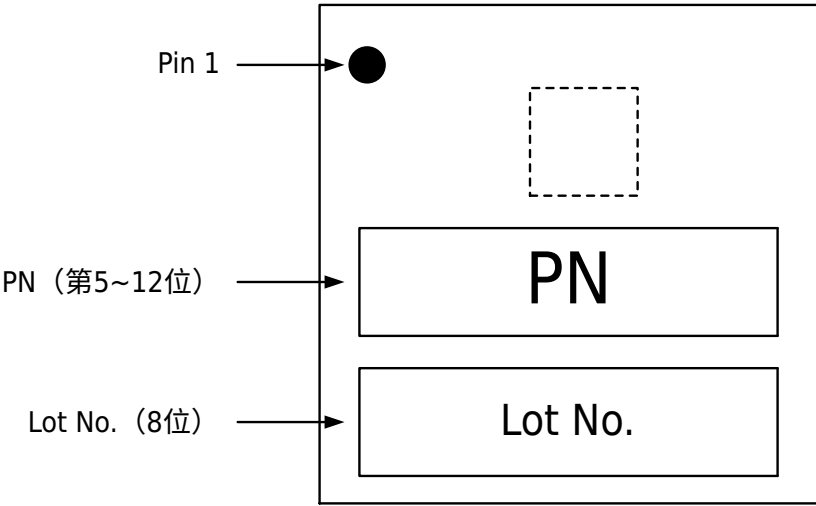
LQFP80 封装（12mm x 12mm） /LQFP64 封装（10mm x 10mm） /LQFP48 封装（7mm x 7mm）



QFN48 封装（5mm x 5mm）



QFN32 封装（4mm x 4mm）





说明

上图空白框表示与生产相关的可选标记，本节不作说明。

5.4 封装热阻系数

封装芯片在指定工作环境温度下工作时，芯片表面的结温 T_j (°C) 可以按照下面的公式计算：

$T_j = T_A + (P_D \times \theta_{JA})$

- T_A 是指封装芯片工作时的环境温度，单位是°C；
- θ_{JA} 是指封装对环境的热阻系数，单位是°C/W；
- P_D 等于芯片的内部功耗 (P_{INT}) 和芯片工作时 I/O 引脚产生的功耗 (P_{IO}) 之和，单位是 W。

$P_D = P_{INT} + P_{IO}$

- ▶ P_{INT} 是芯片的内部功耗，产品的 I_{CC} 与 V_{CC} 的乘积。
- ▶ P_{IO} 是芯片所有输出 IO 的功耗，计算公式为： $P_{IO} = \Sigma(V_{OL} * I_{OL}) + \Sigma((V_{CC} - V_{OH}) * I_{OH})$

芯片在指定工作环境温度下工作时芯片表面的结温 T_j ，不可以超出芯片可容许的最大结温度 T_{j0} 。

表 5-6 各封装热阻系数表

Package Type and Size	Thermal Resistance Junction-ambient Value (θ_{JA})	Unit
LQFP80 12mm x 12mm/0.5mm pitch	55 ± 10%	°C/W
LQFP64 10mm x 10mm/0.5mm pitch	65 ± 10%	°C/W
LQFP48 7mm x 7mm/0.5mm pitch	75 ± 10%	°C/W
QFN48 5mm x 5mm/0.35mm pitch	42 ± 10%	°C/W
QFN32 4mm x 4mm/0.4mm pitch	53 ± 10%	°C/W

6 订购信息

Part Number		HC32F448FAUI-QFN32TR	HC32F448FCUI-QFN32TR	HC32F448JAUI-ZFN48TR	HC32F448JCUI-ZFN48TR	HC32F448JATI-LQ48	HC32F448JCTI-LQ48	HC32F448KATI-LQFP64	HC32F448KCTI-LQFP64	HC32F448MATI-LQFP80	HC32F448MCTI-LQFP80
GPIO		25		38				52		67	
CPU	Core	Cortex-M4									
	Frequency	200MHz									
Memory	Flash	128KB	256KB	128KB	256KB	128KB	256KB	128KB	256KB	128KB	256KB
	SRAM	68KB									
Power supply voltages		1.8~3.6V									
Temp Range		-40~105℃									
DMA		2unit*6ch									
TIMER	Timer0	2unit									
	TimerA	5unit									
	Timer4	3unit									
	Timer6	2unit									
RTC		1ch									
WDT		1ch									
SWDT		1ch									
Connectivity	USART	6ch									
	I2C	2ch									
	SPI	3ch									
	QSPI	1ch									
	CAN FD	2ch									
	EXMC	x							√		
Analog	12-bit ADC	3unit, 4ch		3unit, 11ch				3unit, 17ch		3unit, 24ch	
	12-bit DAC	1ch		2ch							
	CMP	4ch									
	PVD	√									
Security	AES256	√									
	TRNG	√									
	HASH	SHA256									
Co-processing	DCU	√									
Package Type		QFN32(4*4)		QFN48(5*5)		LQFP48(7*7)		LQFP64(10*10)		LQFP80(12*12)	
Packaging		Tape & Reel				Tray					
Pitch		0.4mm		0.35mm		0.5mm					
Thickness		0.75mm		0.55mm		1.6mm					

订购前，请联系销售窗口咨询最新量产信息。

版本记录

文档版本	发布日期	修改说明
Rev1.00	2023/06/13	第一次正式发布。
Rev1.10	2024/03/01	- 产品特性：“最大 32 个通信接口”修改为“最大 14 个通信接口”；“支持 CAN2.0B”修改为“支持 CAN2.0A/B”。 - 简介：“2 路 CAN 控制器”修改为“2 路 CAN FD 控制器（MCAN）”。 - 功能简介：1.4.2 章节 APB4 外设总线的“EMU”修改为“PWC”；1.4.7 章节 删除“*1”；1.4.8 章节 删除读写访问等待周期设定的说明；1.4.10 章节 “258 个中断事件”修改为“257 个中断事件”。 - 引脚功能表：表 2-1 中功能名修改：EXMC_AD20~0 -> EXMC_ADD20~0, EXMC_BLS1 -> EXMC_CE5, EXMC_BLS0 -> EXMC_CE4, EXMC_CS0 -> EXMC_CE0, EXMC_CRE -> EXMC_ALE, EXMC_WAIT-> EXMC_RB0, QSPI1_* -> QSPI_*, PC0: ADC12_IN1-> ADC12_IN10, PA6: ADC123_IN-> ADC123_IN6, PA7: ADC123_IN-> ADC123_IN7。 - 引脚功能说明：表 2-5 修改 FCM 参考时钟描述。 - 引脚使用说明：表 2-6 Pxy 的使用说明修改。 - 参数条件：最大值、最小值和典型值的定义描述修改。 - 绝对最大额定值：表 3-1 V_{IN} 特性修改，增加“ VSSx-VSS ”项目；表 3-3 T_J 项目名改为“结温范围”。 - 工作条件：全章节 标明或修改“设计保证”项目和“量产测试保证”项目；表 3-4 V_{IN} 特性修改，增加 T_J 和 T_A 项目，增加注释 3 和 4；表 3-13 驱动的描述修改为“高、低”；3.3.6.1 章节 外部时钟信号的说明修改；表 3-16 $t_{SU(XTAL)}$ 的最大值修改为典型值；图 3-4 电容 C_{L1} 和 C_{L2} 的说明修改；表 3-17 G_{mmax} 的最大值修改为最小值；图 3-5 电容 C_{L1} 和 C_{L2} 的说明修改；表 3-26 JESD22-A114 修改为 JS001, JESD22-C101 修改为 JS002；表 3-29 高驱动最后一个项目的 V_{cc} 条件修改；表 3-32 $t_h(MI)$ 项目的最小值修改；表 3-33 t_{IH} 项目的最小值修改；表 3-35 UART 外部时钟源的最高波特率修改；表 3-36 t_{TDod} 项目的最小值删除；表 3-37 t_{SWDod} 项目的最小值修改；增加 TRACE 接口特性章节；表 3-40 和表 3-41 E_T 项目的参数说明修改；表 3-44 RL 项目修改，DNL 和 INL 项目增加条件；增加表 3-49 反馈 EXCLK 模式的 EXMC 特性。
Rev1.11	2024/06/14	- 产品特性：删除“全指令跟踪单元 ETM”。 - 通用工作条件：表 3-4 纠正 PWRC2.DVS 的配置值。 - 封装尺寸：修改封装信息参数和封装图。 - 丝印说明：修改 QFN48 最后一行的丝印说明。
Rev1.20	2025/03/07	- 整体手册风格按照结构化开发流程刷新。内容统一调整： - 产品阵容（原“型号命名规则”和“型号功能对比表”）、功能框图章节整合到“产品概述”章节。 - 简介章节的“功能简介”目录层级提高到一级标题，并修改为“功能描述”章节。删除简介章节的描述。 - 产品特性：EXMC 新增描述“支持 LCD 接口，兼容 8080/6800 模式”。

文档版本	发布日期	修改说明
Rev1.20	2025/03/07	3. 产品概述：“产品阵容”章节产品名称图描述由“配置 9”修改为“配置 8”，型号功能对比表内容形式调整，增加 CPU、时钟信息，EXMC 调整到通信接口，PVD 调整到模拟；“功能框图”章节增加差异描述说明。 4. 引脚配置及功能：“引脚功能说明”章节 XTAL_EXT/XTAL_OUT 的 IO 属性由“O”修改为“IO”，新增描述“外部主时钟振荡器接口”； 5. 电气特性：“参数条件”章节最大值和最小值、典型参数值定义优化；整个章节数据来源根据最新规范调整；“供电电流特性”章节数据条件汇总，结合说明统一刷新条件信息；“SPI 接口特性”章节 t_w(SCKL)的条件由“$1.8V \leq V_{cc} < 3.6V$”修改为“$1.8V \leq V_{cc} \leq 3.6V$”；“QSPI 接口特性”章节 QSPI 时序定义图中“t_H”修改为“t_{IH}”；新增“MCAN 接口特性”章节；“12 位 ADC 特性”章节图“使用 ADC 的典型连接”增加上拉接 V_{CC} 的二极管； 6. 封装信息：“封装尺寸-LQFP80 封装”章节图形信息优化，与表格一致；“封装热阻系数”章节修改 P_D 描述，使之更契合实际情况。 7. 订购信息：调整部分信息的排序。