

产品特点

- 双通道可编程延时线
- 串行数据接口(SDATA、SCLK、SLOAD)

产品描述

ADLY89297 是一款双通道可变延迟芯片，工作速率为 DC~5Gbps，每个通道延时范围为 1.3~6.1ns，最小步进约为 5ps，INL 误差范围约为 15ps。

芯片采用三线 SPI (SDATA、SCLK、SLOAD) 设置延时值。每个通道的延时控制位宽为 10bits，两个通道共用一对串行控制端口。为了增加延迟，可以将多个 ADLY89297 进行级联。

芯片采用 QFN24 封装，尺寸 4×4mm，可以在工业级温度范围 (-40℃~+85℃) 正常工作。

应用范围

- 多通道时钟同步
- 自动测试设备

主要性能指标

- 最大输入时钟频率：≥2.5GHz
- 差分输出摆幅：(typ) 750mVpp
- 最小调节步长：(typ) 5ps
- 延时调节范围：(typ) 1.3~6.1ns

结构框图

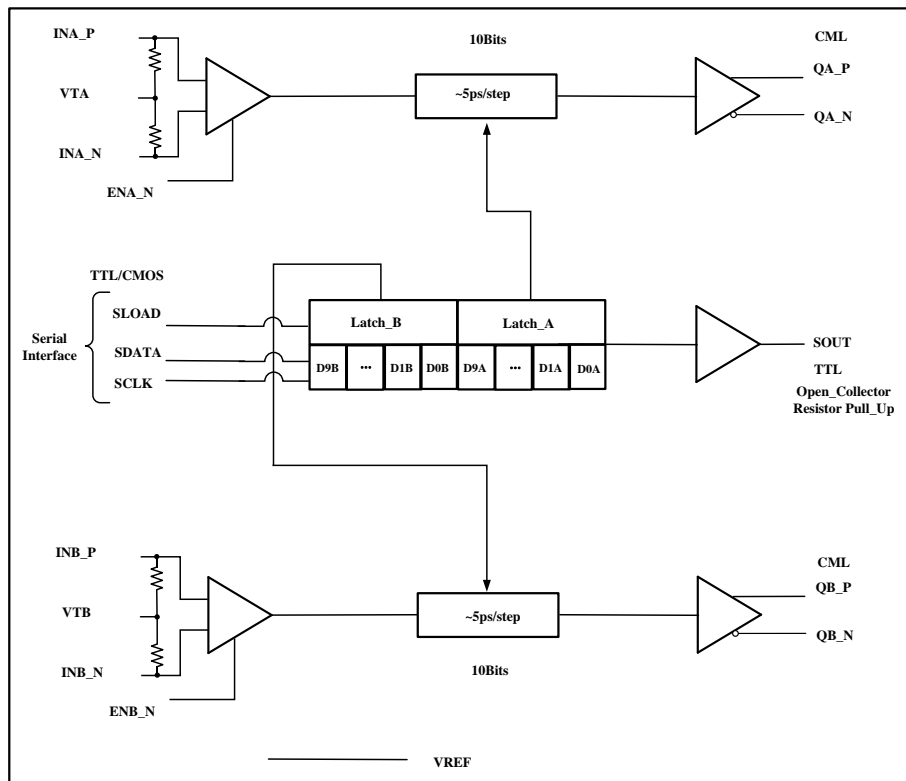


图 1: ADLY89297 结构框图



目录

产品特点.....	1
产品描述.....	1
应用范围.....	1
主要性能指标.....	1
结构框图.....	1
目录	2
芯片外形尺寸:	3
引脚说明:	4
最大绝对值范围:	4
工作条件:	4
封装热阻:	4
转换器电性特征:	5
典型测试结果:	7
功能描述:	9
订购信息:	11
版本记录:	12
声明	13

芯片外形尺寸:

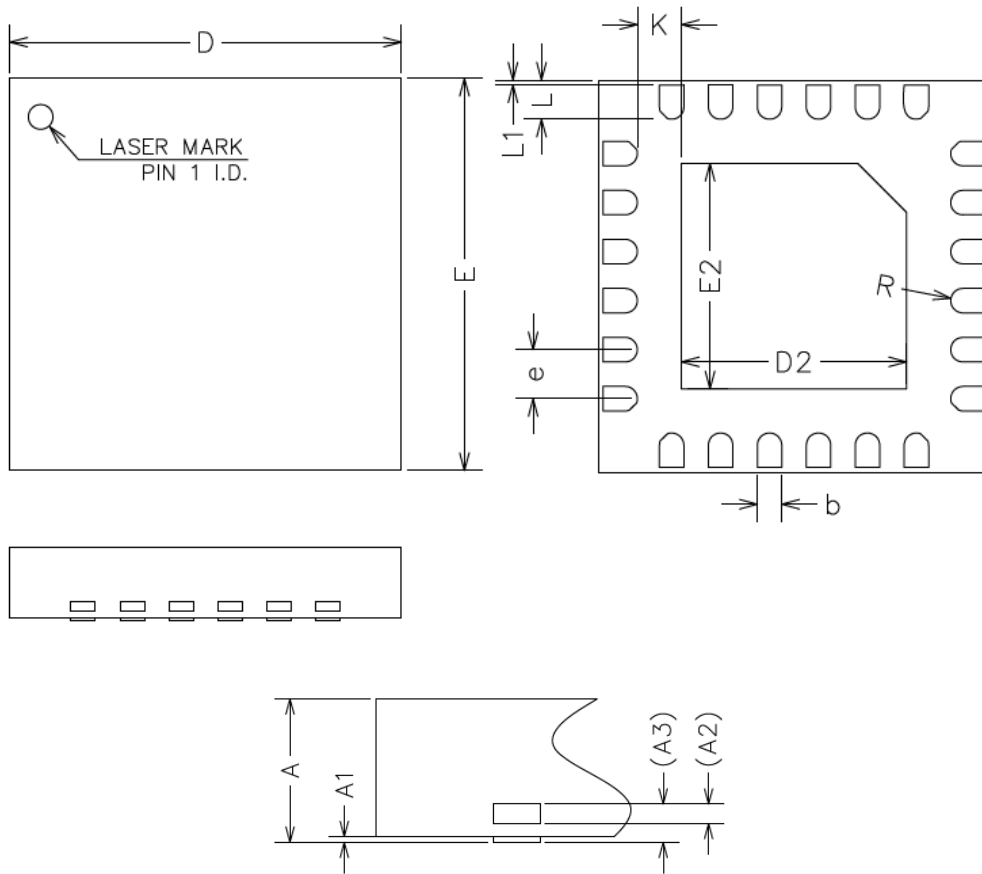


图 2: ADLY89297 芯片封装图

SYMBOL	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
A2	0.10REF		
A3	0.20REF		
b	0.18	0.25	0.30
D	3.90	4.00	4.10
E	3.90	4.00	4.10
D2	2.15	2.30	2.45
E2	2.15	2.30	2.45
e	0.40	0.50	0.60
K	0.20	-	-
L	0.35	0.40	0.45
L1	0	-	0.15
R	0.09	-	-

注:

- (1) 所有单位均为 mm。
- (2) 芯片底部的裸焊盘必须在焊接时接地以保证芯片的性能可靠。

引脚说明:

编号	引脚名称	功能	备注
1/2	INA_P/INA_N	通道 A 差分输入	芯片内部分别端接 50 Ω 电阻到 VTA
3	VTA	输入 A 的中间抽头	
4	VTB	输入 B 的中间抽头	
5/6	INB_P/INB_N	通道 B 差分输入	芯片内部分别端接 50 Ω 电阻到 VTB
7	VREF	共模参考电压输出	
8,11,20	GND	电源低电位, 接地	
9	ENA_N	A 通道使能	低电平有效, 支持 CMOS 和 TTL 电平
10	ENB_N	B 通道使能	
12,15,16,19	VCC	电源	+3.3V
13/14	QB_N/QB_P	B 通道差分输出	CML 电平
17/18	QA_N/QA_P	A 通道差分输出	
21	SOUT	串行接口输出端	支持 CMOS 和 TTL 电平
22	SDATA	三线接口数据端	
23	SCLK	三线接口时钟端	
24	SLOAD	三线接口控制端	
0	EP	导热焊盘	接地



本产品内置防静电保护装置有限, 为了防止静电损坏门电路, 在储存或处理过程中应使引脚短接在一起或将产品放置在导电泡沫材料中。

最大绝对值范围:

任何一项指标超出产品的最大绝对值范围, 都可能对产品造成不可逆转的损伤。

电源电压 V_{CC}	0V~4V
输入电压 V_{IN}	0V~VCC
CML 输出电压 V_{OUT}	VCC-1.0V~VCC
输入电流 I_{IN}	±35mA

工作条件:

参数	最小值	标准值	最大值	单位
电源电压 V_{CC}	-	3.3	-	V
环境温度 T_A	-40		+85	°C

封装热阻:

以下规格基于空气自然对流环境, JEDEC 标准 4 层 PCB 板。



封装类型	θ_{JA} Ambient(°C/W)	θ_{JC} Top of Package(°C/W)	θ_{JC} Thermal Pad(°C/W)
QFN-24	55	TBD	TBD

转换器电性特征:

以下规格适用于 $T_A=+25^{\circ}\text{C}$, $V_{CC}=+3.3\text{V}$ 。

符号	参数	测试条件	最小值	典型值	最大值	单位
直流特性						
V_{CC}	电源电压 ²		3.0	3.3	3.6	V
I_{CC}	电源电流 ²			200	250	mA
R_{IN}	单端输入电阻 ²	IN_P-to-VT, IN_N-to-VT		50		Ω
	差分输入电阻 ²	IN_P-to-IN_N	90	100	110	Ω
V_{IH}	输入高电平 ²	IN_P, IN_N	1.2		V_{CC}	V
V_{IL}	输入低电平 ²	IN_P, IN_N	0		$V_{IH} - 0.1$	V
V_{DIFF_IN}	差分输入电压摆幅 ²	IN_P, IN_N	200			mV
V_{REF}	输出参考电压 ²	$V_{CC}=3.3\text{V}$		2		V
CML 输出直流特性						
V_{OH}	输出高电平 ²	$R_L=50\ \Omega$ -to- V_{CC} $V_{CC}=3.3\text{V}$	3.1	3.2	3.3	V
V_{OUT}	单端输出电压摆幅 ²			385		mV
	差分输出电压摆幅 ²			750		
R_{OUT}	单端输出电阻 ²	Q_P-to- V_{CC} , Q_N-to- V_{CC}		50		Ω
LVTTTL/CMOS 直流特性						
V_{IH}	输入高电平 ¹		2.0			V
V_{IL}	输入低电平 ¹				0.8	V
交流特性						
f_{MAX}	最大工作频率 ²		2.5			GHz
T_{RANGE}	延时范围 ²			4800		ps
Δt	延时步进 ²	D0		5		ps
		D1		9		
		D2		22		
		D3		39		
		D4		76		
		D5		150		
		D6		300		
		D7		590		
		D8		1200		
		D9		2400		
		D0-D9		4800		
INL	积分非线性 ²		-15		+15	ps



ADLY89297

符号	参数	测试条件	最小值	典型值	最大值	单位
t _s	建立时间 ¹	SDATA to SCLK	400			ps
		SCLK to SLOAD	400			
		/EN to IN	300			
t _h	保持时间 ¹	SLOAD to SCLK	300			ps
		IN to /EN	-100			
		SCLK to SDATA	200			
时钟输出相位噪声						
Phase Noise	相位噪声	f _{IN} =1GHz				dBc/Hz
		100Hz	-	-110	-	
		1kHz	-	-130	-	
		10kHz	-	-139	-	
		100kHz	-	-139	-	
		>1MHz	-	-140	-	

注：¹ 设计保证

² 室温测试

典型测试结果:

VCC = +3.3V; VT = VREF_AC; TA = 25°C

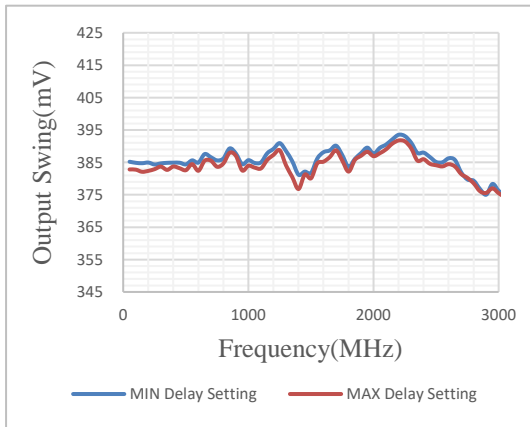


图 3: Output Swing VS. Frequency

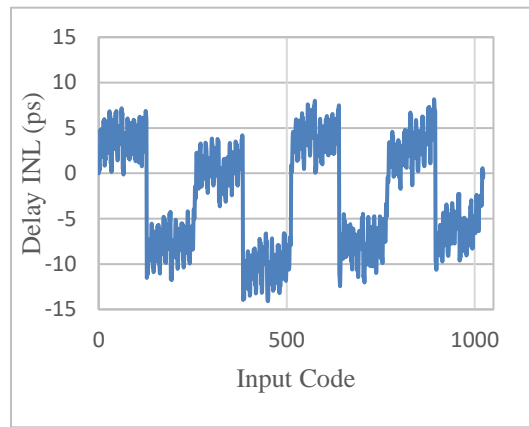


图 4: Typical Delay INL



图 5: 155MHz Clock

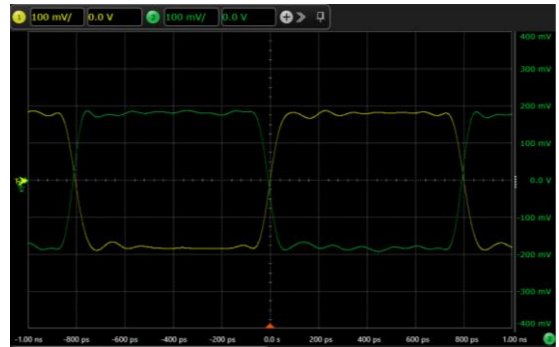


图 6: 622MHz Clock



图 7: 1.6GHz Clock

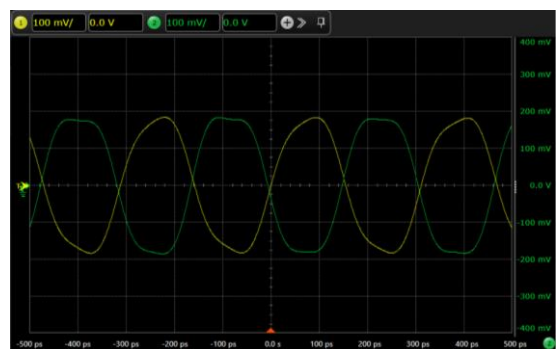


图 8: 3.2GHz Clock

相位噪声特性:

VCC = +3.3V; VT = VREF_AC; TA = +25°C

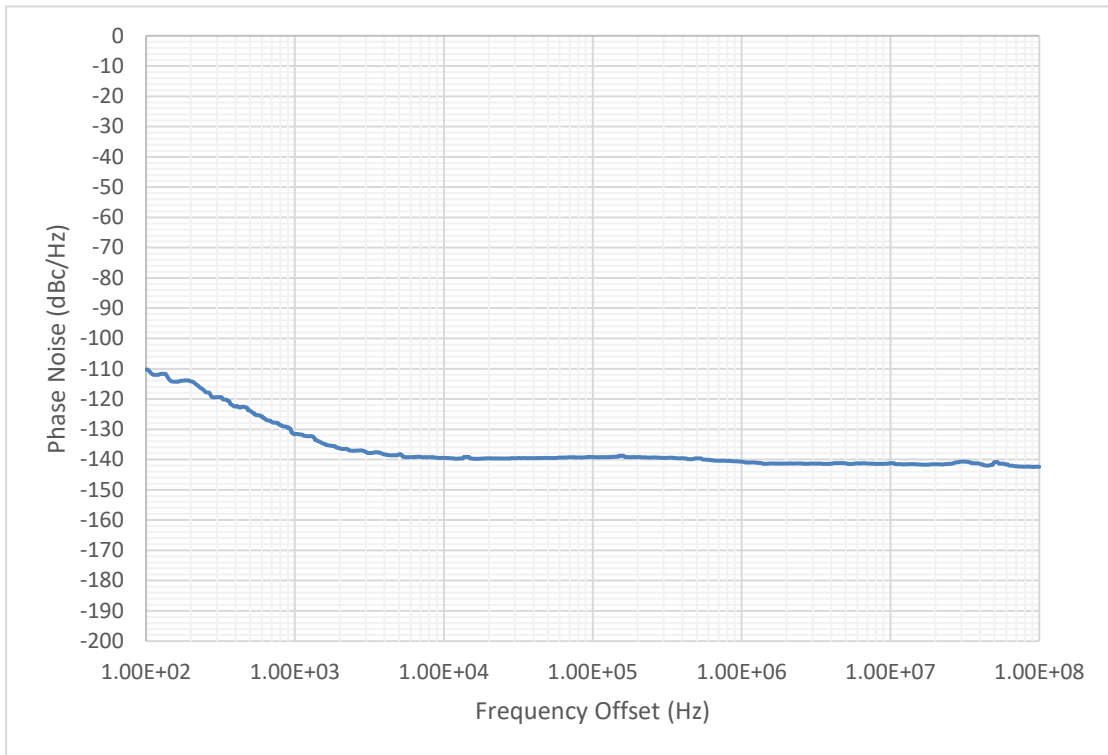


图 4: f_c : 1GHz Delay Setting: 00001 00110 (~180ps)

温度特性:

表 1: 延时步进的温度特性

T _A	环境温度		-40	25	85	°C
Δt	延时步进	D0	5	5	6	ps
		D1	9	9	10	
		D2	21	22	24	
		D3	35	39	43	
		D4	69	76	83	
		D5	138	150	165	
		D6	275	300	328	
		D7	540	590	644	
		D8	1101	1200	1309	
		D9	2210	2400	2623	
		D0-D9	4404	4800	5235	



功能描述:

表 2: 输入/输出真值表

输入		输出	
INA_P/INB_P	INA_N/INB_N	QA_P/QB_P	QA_N/QB_N
0	1	0	1
1	0	1	0

表 3: 输入使能真值表

ENA_N/ENB_N	Q_P/Q_N(A/B)
1	Q=Low, Q_N=High
0	IN_P, IN_N 延时 (正常工作模式)

ADLY89297



应用信息:

ADLY89297 芯片通过三线接口的 SPI 控制进行, 该 SPI 兼容 CMOS 和 TTL 两种电平, 通过 SPI 可以调节芯片从输入到输出的延时。其中, DA[9:0]控制通道 A 的延时, DB[9:0]控制通道 B 的延时。为了对两个通道进行调节, 通过 SCLK 时钟将一个 20bits 位宽的数据 (DA[9:0]和 DB[9:0]) 输入到 SDATA 中。SCLK 时钟最高为 20MHz, 数据在 SCLK 的上升沿进行传输。在所有数据均传输结束后, SLOAD 所存等待新的延时数据。SCLK 和 SDATA 包含一个 67k Ω 的下拉电阻, 悬空时默认低电平。



订购信息:

型号	温度范围	输出接口	封装描述
ADLY89297	TBD	CML	24 引脚方形扁平无引脚封装 (QFN)
A DLY89297EVM	NA	NA	评估板

ADLY89297



声明

ADLY89297

苏州迅芯微电子有限公司及其分公司和经销商有权对其公司提供的半导体产品进行修正、增强、提高及做出其他的改变，同时也拥有在最新版产品已经发布的基础上，中止任何一款产品和服务的权利。购买者应在下单前获取相关的最新信息，并确认这些信息的有效性和完整性。所有售出的半导体产品都必须遵循苏州迅芯微电子有限公司在接到订单确认时的销售条款和条件。

根据苏州迅芯微电子有限公司销售的半导体产品的保修条款，苏州迅芯微电子有限公司担保组件的性能规范适用于销售之时。本公司采取了必要的测试和质量控制手段来支持产品达到这样的品质。除非有法律的具体规定，否则并不是每个器件的所有参数都是必须要执行测试的。

苏州迅芯微电子有限公司对购买者使用产品做出的设计和应用不承担任何的连带责任，用户应对使用了苏州迅芯微电子有限公司器件的产品和应用自负其责。购买者应采取适当的设计和操作时的具体保护措施来使您所购买产品的风险降至最低。

对于任何使用苏州迅芯微电子有限公司的器件和服务的所有相关的组合、设备或过程，苏州迅芯微电子有限公司不保证或代表许可——无论是明示或暗示——授予其使用任何相关的专利权、版权或其他任何知识产权。苏州迅芯微电子有限公司对第三方产品或服务不构成许可使用这些产品或服务的保修或背书。使用这样的信息可能需要从第三方的专利或第三方的其他知识产权获得许可或授权，或从苏州迅芯微电子有限公司获得专利和其他知识产权的授权。

从苏州迅芯微电子有限公司的产品手册和数据手册中复制重要的章节是被允许的，只要复制时没有更改，同时附上所有相关的担保、条件、限制和告示信息。苏州迅芯微电子有限公司不对这些修改后的文件承担任何责任，第三方的信息可能会受到附加条件的约束。

超出苏州迅芯微电子有限公司所标明的器件或服务的参数范围或在与之不同参数下转售苏州迅芯微电子的器件或服务，或对苏州迅芯微电子有限公司的器件或服务无法提供有效服务并且暗含担保无效的行为，都是一种不公平且带有欺骗性质的商业行为。苏州迅芯微电子有限公司不为这样的声明承担任何责任。

购买者确认并同意，尽管苏州迅芯微电子有限公司可能提供了与应用相关的信息或支持，但您将自行负责遵守与您的产品以及应用中使用任何苏州迅芯微电子有限公司的器件有关的所有法律、法规和安全方面的要求。购买者应表示并同意您具备所有必要的专业知识，能够创建和实施安全措施以预测故障的危险后果、监控故障及其后果、降低可能导致伤害的故障可能性并采取适当的补救措施。购买者将全额赔偿因在重大的安全应用中使用任何苏州迅芯微电子有限公司器件而对苏州迅芯微电子有限公司及其所代表方造成的所有损失。

在某些情况下，为了推广安全相关应用，有可能对苏州迅芯微电子有限公司的器件进行专门提升。借助于这样的器件，苏州迅芯微电子有限公司的目标旨在帮助客户设计和创立其特有的可满足功能性安全标准和要求的终端产品解决方案。尽管如此，此类器件仍然遵守本条款。

苏州迅芯微电子有限公司的器件未被许可用于 FDA III 类（或类似关系生命安危的医疗设备），除非各方授权代表已经达成专门管控此类使用的特别协议。

只有苏州迅芯微电子有限公司特别注明属于军用等级或“增强型塑料”的器件才是设计且专门用于军事/航空应用或环境的组件。购买者应确认并同意，如果将未注明的器件用于军事或航空应用，则由您单方面承担所有风险，且您应自行负责遵守与此类使用有关的所有法律和法规要求负全部责任。